

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 7 月 24 日 (24.07.2003)

PCT

(10) 国際公開番号
WO 03/061025 A1

(51) 国際特許分類: H01L 43/06, 43/14, G01R 33/07, H01L 21/338, 29/778, 29/812

(21) 国際出願番号: PCT/JP03/00291

(22) 国際出願日: 2003 年 1 月 15 日 (15.01.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-6670 2002 年 1 月 15 日 (15.01.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 旭化成電子株式会社 (ASAHI KASEI ELECTRONICS CO., LTD.) [JP/JP]; 〒130-6591 東京都墨田区錦糸 3 丁目 2 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 渡辺 隆行 (WATANABE, Takayuki) [JP/JP]; 〒416-0939 静岡県富士市川成島 100 西アパート 413 Shizuoka (JP). 柴田 佳彦 (SHIBATA, Yoshihiko) [JP/JP]; 〒416-0921 静岡県富士市水戸島 2-18-5-3 Shizuoka (JP). 氏原 剛志 (UJIHARA, Tsuyoshi) [JP/JP]; 〒416-0931 静岡県富士市夢原 1354-1 マンション明日香 405 Shizuoka (JP).

吉田 孝志 (YOSHIDA, Takashi) [JP/JP]; 〒416-0921 静岡県富士市水戸島 360-26 Shizuoka (JP). 大山 明彦 (OYAMA, Akihiko) [JP/JP]; 〒410-0821 静岡県沼津市大平 1023-3 Shizuoka (JP).

(74) 代理人: 谷 義一 (TANI, Yoshikazu); 〒107-0052 東京都港区赤坂 2 丁目 6-2 O Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

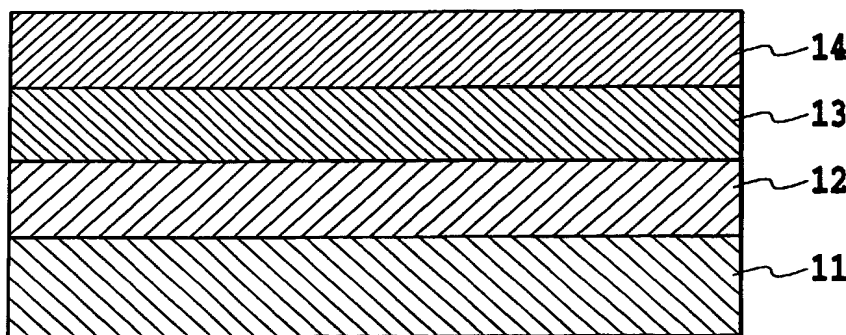
(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: COMPOUND SEMICONDUCTOR MULTILAYER STRUCTURE, HALL DEVICE, AND HALL DEVICE MANUFACTURING METHOD

(54) 発明の名称: 化合物半導体積層構造体、ホール素子及びホール素子の製造方法



(57) Abstract: A multilayer structure of a quantum well compound semiconductor high in electron mobility and sheet resistance and excellent in temperature characteristics can stably be supplied. A Hall device high in sensitivity, low in power consumption and excellent in temperature characteristics can industrially be provided. First and second compound semiconductor layers (12, 14) made of Sb and at least two elements out of Al, Ga, In, As, and P and an active layer (13) made of a compound

semiconductor of a composition $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0.8 \leq x \leq 1.0$, $0.8 \leq y \leq 1.0$) are formed. The first and second compound semiconductor layers (12, 14) have band gaps wider than that of the active layer (13) and resistances five times or more of that of the active layer (13). The differences in lattice constant between the first compound semiconductor layer (12) and the active layer (13) and between the second compound semiconductor layer (14) and the active layer (13) range from 0.0 to 1.2%. The thickness of the active layer is within the range of 30 to 100 nm. Thus, a multilayer structure of a compound semiconductor is fabricated.

[続葉有]



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

電子移動度とシート抵抗が高く、かつ、温度特性に優れた量子井戸型化合物半導体の積層体の安定供給を可能にし、これにより、高感度で消費電力が低く、かつ、温度特性にも優れたホール素子の工業的提供を可能にする。Al、Ga、In、As及びPのうちの少なくとも2種元素とSbとからなる第1及び第2の化合物半導体層12、14と、 $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0.8 \leq x \leq 1.0$ 、 $0.8 \leq y \leq 1.0$)の組成の化合物半導体の活性層13とを積層させ、第1及び第2の化合物半導体層12、14の各々を、活性層13に比較して、広いバンドギャップと5倍以上の抵抗値とを有するように成膜し、第1及び第2の化合物半導体層12、14と活性層13との格子定数差が共に0.0～1.2%の範囲内となるように設定し、かつ、活性層13の厚さを30～100nmの範囲に設定して化合物半導体の積層構造体を構成した。

明 細 書

化合物半導体積層構造体、ホール素子及びホール素子の製造方法

5 技術分野

本発明は、化合物半導体積層構造体およびその構造体を用いた化合物半導体ホール素子、さらにはその製造方法に関する。より詳細には、本発明は、InAsなどを活性層とした積層型化合物半導体のホール素子に関し、電子移動度とシート抵抗が高く、かつ温度特性に優れた量子井戸型化合物半導体積層体であり、このような積層体を用いて高感度・低消費電力、かつ温度特性にも優れた磁気センサの提供を目的とする。

また、本発明は、ホール素子を用いた携帯機器用途向け各種装置に関する。

背景技術

15 一般に、ホール素子は、モータの回転制御や位置検出、磁場検出に用いられており、ブラシレスモータや非接触スイッチ、電流センサなど幅広い分野で利用されている。

近年、携帯電話や携帯情報端末、ノート型パーソナルコンピュータに代表される携帯機器の普及がめざましいが、ホール素子はこうした携帯機器などに組み込まれるデバイス用途に展開されている。また、自動車等の技術分野で幅広く用いられつつある。

例えば、ポインティングデバイスとしてホール素子を使う場合が挙げられる。これは入力部位に取り付けられた磁石の動きを磁気センサで検知することにより、入力方向と移動量を読みとるというデバイスである。この種の構造を有するポイン
25 ティングデバイスは、入力情報が方向だけのボタン式ポインティングデバイスに対して、方向と量という、より詳細な情報を入力できることが特徴である。

また、携帯機器に取り付けられた蓋の開閉スイッチに使われるセンサとしての用途も挙げられる。すなわち、このセンサは、本体側と蓋のどちらか一方に磁石を配置し、他方にホール素子を配置し、磁石が近づいた時と遠ざかった時の磁場変化で開閉を検知するというものである。このようなホール素子を使用した開閉スイッチは、リードスイッチ等の接点を有する開閉スイッチと比較して、非接触式であるため寿命が半永久的であるという特徴がある。

さらに、方位センサで地磁気を読むためにホール素子を使うという用途も可能である。

携帯機器用途に求められるホール素子の基本特性としては、まず低消費電力であること、高感度であること、そして温度特性が良いことが挙げられる。低消費電力であることは、電力量が限られている携帯機器では最も重要な特性となる。

感度については、高感度であるほど小さな磁場変化をとらえることができるので、磁石とホール素子の配置の仕方や用いる磁石種類を選択する際に自由度が生まれる。温度特性については、温度特性が良いほど回路に温度補正などの余分な機構を加えることなく精度を出すことができるので、回路設計が簡単になり、コストダウンにつながる。

このような技術分野では、消費電力が低く、高感度で、更に、温度特性に優れた磁気センサが要求され、特に、携帯電話等の携帯機器用途の場合には、低消費電力であることが極めて重要である。

一般に、磁気センサを構成するホール素子の主な特性は、材料となる半導体の特性に強く支配される。例えば、感度は半導体材料の電子移動度に比例し、消費電力は入力抵抗の大きな素子ほど小さくなるため、半導体材料のシート抵抗が大きいほど小さくなる。

従来のホール素子には、電子移動度の大きな化合物半導体、特に、 InAs 、 InSb 、 GaAs 等が好んで用いられてきた。 InAs 、 InSb 、 GaAs およびこれらの混晶半導体は、高電子移動度を有し、高感度ホール素子用材料として適

しているからである。InSbやInAsを材料として構成されるホール素子は、素子の感度は良好である反面、温度特性や消費電力特性が悪いという欠点を有する。また、InAsにSiをドーピングすることにより、ホール素子の温度特性が改善可能であることが知られているものの、感度特性や消費電力特性といった他の素子

5 特性は満足できるものではない。更に、GaAsを材料として構成したホール素子は、温度特性や消費電力特性が良好である反面、素子の感度が低いという欠点を有する。

いずれのホール素子も、携帯機器用途に対して決して使いやすい素子とは言えず、様々な工夫を凝らしてホール素子を使用する必要があった。

10 このような問題については、特許第3069545号公報において、第1の化合物半導体層と、その上に形成された活性層としてのInAs層と、このInAs層の上面に形成された高抵抗の第2の化合物半導体層とで積層体を構成すると、InAs活性層中に量子井戸型のポテンシャルが形成され、その量子効果の発現によって活性層中を伝導する電子の移動度とシート抵抗が大きくなり、温度特性が良好な

15 積層体の形成が可能であることが記載されている。

特許第2793440号（特開平6-77556号公報）には、InAs活性層を格子定数が近く禁制帯幅の大きいAlGaAsSb層上に形成することにより高電子移動度で、入力抵抗が大きく、温度特性にも優れたホール素子の形成が可能であることが記載されている。

20 また、J. Vac. Sci. Technol. B16（1998）p2644では、InAs上にAlGaAsSb層を形成し、InAs活性層を禁制帯幅の大きな化合物半導体層で挟み込む構造とすることにより、さらに高い電子移動度を達成している。

また、InAs活性層をAlGaAsSb層で挟んだホール素子のデバイス構造

25 に関する技術としては、例えば、特開平9-116207号公報がある。ここでは、感磁部以外の半導体薄膜をすべて除去し、その感磁部全体を金属電極層の上から保

護層で被覆することにより信頼性が向上すると記載されている。また、電極層は InAs 層とコンタクトしても良いし、上部 AlGaAsSb 層とコンタクトしても良いとしている。

しかしながら、このような化合物半導体積層体構造を採用したホール素子の感度
5 や抵抗値を所定の設計範囲内に収めるためには、化合物半導体材料そのものの電子移動度とシート抵抗値を一定の範囲内に再現性良く収めることが要求されるが、これらの物性値をコントロールすることが困難であるために、量子井戸型化合物半導体積層体を用いたホール素子の工業的生産が困難であるという問題があった。

また、前述したホール素子では、不平衡電圧 (V_u) と入出力端子を 90° 回転
10 したときの不平衡電圧 (rV_u) の絶対値が一致しないという問題があった。電流センサ等に応用されるリニアホール IC では、 90° 回転して得られる出力電圧を加算することによって、 V_u キャンセルを行い、磁界に対するホール出力の良好な直線性を実現する。 V_u と rV_u の絶対値が一致することが望ましく、実用的には、 V_u と rV_u の差の絶対値は、 0.5 mV 以内 (駆動電圧 3 V) である。したがって、前述した V_u と rV_u の不一致 (以後、 $V_u + rV_u$ バラツキと表記する) は
15 改善されることが求められていた。

さらに、前述したホール素子では、未だ信頼性が十分ではないという問題があった。具体的には、高温高湿環境下で不平衡電圧 (V_u) の値が大きく変動することと、ホール素子をプリント基板などに半田付けすると入力抵抗 (R_{in}) や不平衡
20 電圧 (V_u) の値が大きく変動することである。

図 1 は、特開平 9-116207 号公報に記載されているようなホール素子構造の一例を示す図で、また、図 2 は、その作製手順を示す図である。図中符号 1 は基板、2 は半導体薄膜、2 a は第一化合物半導体層、2 b は活性層、2 c は第二化合物半導体層、2 d は第三化合物半導体層、3 は金属電極層、4 は保護層を示している。
25

このホール素子は、金属電極層をリフトオフ法により形成した後、保護層で全体

を被覆しボンディングパッド部を開けて完成する。電極形成にリフトオフ法を用いる理由は、Sbを含む化合物半導体が酸・アルカリに十分な耐性がなく、金属電極層を全面に形成した後、酸・アルカリを用いたエッチングによりパターンニングすることが困難であったからである。

5 しかしながら、リフトオフ法で形成した金属電極層は、そのパターンの端部に突起（バリ）が残存してしまい、上部に形成する保護層の被覆性を極めて悪くする原因となっていた。そのため、高温高湿などの加速試験を実施すると耐湿性が不十分なSbを含む化合物半導体が腐食され、その結果として、不平衡電圧 V_u が大きく変動した。

10 これらの変動があるため従来のホール素子は実用的ではなく、高温高湿環境下および半田付けでの特性変動の小さい、つまり信頼性の高いホール素子が求められていた。

本発明は、このような問題に鑑みてなされたもので、その目的とするところは、量子井戸型化合物半導体積層体の物性制御の再現性を高めることにより、電子移動
15 度とシート抵抗が高く、かつ、温度特性に優れた量子井戸型化合物半導体の積層体の安定供給を可能にし、これにより、高感度で消費電力が低く、かつ、温度特性にも優れたホール素子の工業的提供を可能にすることにある。

本発明の他の目的は、InAsなどを活性層として高感度を実現できる積層型化合物半導体ホール素子において、 $V_u + r V_u$ バラツキの小さな化合物半導体ホール
20 素子を提供することにある。

本発明のさらに他の目的とするところは、InAsなどを活性層として高感度を実現できる積層型の化合物半導体ホール素子において、信頼性の高い化合物半導体ホール素子及びその製造方法を提供することにある。

本発明のさらに他の目的とするところは、ポインティングデバイスなど携帯機器
25 用途向け各種装置に好適な磁気センサを提供することにある。

発明の開示

消費電力が小さく感度が高いホール素子を作製するためには、高抵抗で移動度の高い半導体薄膜が必要である。また、温度特性が良好なホール素子であるためには、使用温度範囲において活性層に In Sb のようなバンドギャップの狭い半導体膜
5 ではなく、ホール素子の使用温度範囲で所望の温度特性に収まる半導体を選ぶ必要がある。

一般的に感度と温度特性は相反する特性であり両立しない。したがって、高抵抗、高感度、かつ温度特性の良いホール素子を作製するためには、温度特性の良い種類の半導体を選び、できるだけ結晶性の良い状態で薄い活性層を形成する必要がある。

10 これまでのホール素子は、基板上に活性層を直接形成していたため、基板と活性層における結晶格子間隔のミスマッチが大きく、活性層を薄くすると結晶性が悪くなり、移動度が小さくなってしまうという問題があった。

高抵抗かつ高移動度という特性を両立させるためには、活性層を、この活性層と格子定数が近く高抵抗の緩衝層を挟むような多層構造にすることによって、基板と
15 活性層の格子不整合を緩和するようにすればよい。こうした多層構造にすることによって、活性層の結晶性を保ったまま薄くすることができる。

感磁部をこうした多層構造の膜で形成することによって、これまで得られなかった高抵抗、高感度、かつ温度特性が良好という携帯機器向けに有効な特性を兼ね備えた理想的なホール素子を作製することができる。そうしたホール素子を携帯機器
20 用途に使用することによって機器の設計を容易に行うことができる。

本発明者らは、活性層の上下に配置された禁制帯幅の大きな化合物半導体層と金属電極層が接すると活性層以外に微弱電流が流れ、その電流量および電流経路が 4 箇所の端子ごとに微妙に異なることが原因で、 $V_u + r V_u$ バラツキが大きくなることを明らかにした。これにより、化合物半導体層全面（表面および側面）が保護
25 層で被覆され、金属電極層が化合物半導体層と接触することなく活性層のみと接触するような素子構造とすることが、 $V_u + r V_u$ バラツキの小さなホール素子の作

成に有効であることを見い出した。

また、本発明者らは、従来の素子構造では半導体薄膜を保護層で被覆性良く完全にカバーすることができず、酸化されやすいSbを含む化合物半導体層が湿気で腐食され特性変動が大きくなることを明らかにして、該化合物半導体層の露出面すべて、つまり表面および側面を直接保護層で被覆することが、高温高湿環境下で特性変動の小さな素子を作製することに有効であることを見い出した。

さらに、ホール素子を形成するプロセス中にO₂アッシングなどの工程で、キャップ層であるGaAsSb層表面に酸化などの損傷が起こりキャップ層と保護層との界面状態が不安定になるため、高温（半田付けなど）において素子の特性変動が大きくなることを明らかにし、Sbを含まないInGaAsをキャップ層とすることと、半導体薄膜形成後、まず保護層を形成しパターンニングされた保護層をマスクとして感磁部を形成することにより半導体薄膜の最表面の損傷を抑制することが、キャップ層と保護層との界面状態を安定化し半田耐熱性の高いホール素子を作製することに有効であることを見い出した。

すなわち、本発明の半導体積層構造体は、基板上に、第1の化合物半導体層と、活性層と、第2の化合物半導体層とが順次積層された化合物半導体の積層構造体であって、前記第1及び第2の化合物半導体層の各々は、Al、Ga、In、As及びPの5種のうちの少なくとも2種の元素とSbとで構成される化合物半導体層であり、前記活性層は、 $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0.8 \leq x \leq 1.0$, $0.8 \leq y \leq 1.0$) で表記される組成の化合物半導体であって、前記第1及び第2の化合物半導体層の各々は、前記活性層に比較して、広いバンドギャップと、少なくとも5倍以上の抵抗値とを有しており、前記第1及び第2の化合物半導体層と前記活性層との格子定数差が共に0.0～1.2%の範囲内に設定されており、前記活性層は、30nmより厚く100nmより薄い層厚である。

前記第2の化合物半導体層上に、GaAsの第3の化合物半導体層が積層されていることが好ましい。

前記活性層を構成する化合物半導体は、 InAs であることが好ましい。

前記第1及び第2の化合物半導体層の組成は、 $\text{Al}_z\text{Ga}_{1-z}\text{As}_y\text{Sb}_{1-y}$ ($0 \leq z \leq 1$, $0 \leq y \leq 0.3$)であることが好ましい。

そして、このような化合物半導体積層構造体の活性層に電極を備えて磁気センサ
5 を構成することができる。

このような磁気センサは、携帯機器に好適である。特に、携帯電話に用いる点で好適である。

本発明はさらに、 $\text{In}_{x_1}\text{Ga}_{1-x_1}\text{As}_{y_1}\text{Sb}_{1-y_1}$ ($0 \leq x_1 \leq 1$, $0 \leq y_1 \leq 1$) からなる活性層と、その上下に該活性層より大きな禁制帯幅を有する化合物半
10 導体層を配置した半導体薄膜と、金属電極層と、保護層とを有し、前記金属電極層が前記半導体薄膜とは前記活性層のみで接触し、該接触面以外の半導体薄膜の上面および側面のすべてが前記保護層で直接被覆されている。

前記化合物半導体層は、 Sb を含む化合物半導体層であることが好ましい。

さらに、前記活性層の上に形成される化合物半導体層の上に $\text{In}_{x_2}\text{Ga}_{1-x_2}\text{As}$
15 s ($0 \leq x_2 \leq 1$) からなるキャップ層を有することができる。

また、前記半導体薄膜は GaAs または Si の基板上に形成され、前記活性層が InAs で、前記化合物半導体層が $\text{Al}_{z_1}\text{Ga}_{1-z_1}\text{As}_{y_2}\text{Sb}_{1-y_2}$ ($0 \leq z_1 \leq 1$, $0 \leq y_2 \leq 0.3$) であることが好ましい。

さらに、基板上に形成され、膜厚が 30 nm より大きく 100 nm より小さい $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 層を活性層とし、該活性層
20 を化合物半導体で挟んだ多層構造を有する感磁部を備え、入力抵抗 $R \times$ 感度 V_h が $20 [\Omega \cdot V]$ (入力電圧 1 V 、印加磁場 50 mT) 以上であることが好ましい。

そして、前記活性層の上下を、 Al , Ga , In , As 及び P の5種のうち少なくとも2種の元素と Sb とで構成されていることが好ましい。

25 このようなホール素子は、ポインティングデバイス、携帯電話のカバー開閉検知スイッチ、地磁気センサに好適である。

本発明の化合物半導体ホール素子の製造方法は、 $\text{In}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$) からなる活性層の上下に、該活性層より大きな禁制帯幅を有する化合物半導体層を配置した半導体薄膜を形成する工程、金属電極層を形成する領域の上部の化合物半導体層をエッチングして前記活性層を露出
5 する工程、次いで前記活性層が露出された半導体薄膜をすべて覆うように保護層を形成する工程を有する。

さらに、パターンニングした前記保護層をマスクとして用いて前記半導体薄膜の感磁部および電極接触部以外をエッチングするエッチング工程と、前記エッチング工程で露出した基板と半導体薄膜の側面および前記保護層を第二保護層で被覆す
10 る工程と、を有することが好ましい。

また、本発明の化合物半導体ホール素子の他の製造方法は、 $\text{In}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$) からなる活性層の上下に、該活性層より大きな禁制帯幅を有するSbを含む化合物半導体層を配置した半導体薄膜を形成する工程、前記半導体薄膜の形成工程の後、第一保護層を形成する工程、パ
15 ターニングされた該第一保護層をマスクとして用いて半導体薄膜の感磁部および電極接触部以外をエッチングで除去するエッチング工程、エッチング工程で露出した基板と半導体薄膜および第一保護層を第二保護層で被覆する工程を有する。

さらに、本発明の化合物半導体ホール素子の他の製造方法は、 $\text{In}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$) からなる活性層の上下に、該活
20 性層より大きな禁制帯幅を有するSbを含む化合物半導体層を配置した半導体薄膜を形成する工程、第一保護層を形成する工程、パターンニングされた該第一保護層をマスクとして用いて半導体薄膜の感磁部および電極接触部以外をエッチングで除去する工程と、第一保護層、キャップ層を含む上部化合物半導体層をエッチング工程により除去し前記金属電極層と接触する前記活性層を露出させる工程、エッチ
25 ング工程で露出した基板と半導体薄膜および第一保護層を第二保護層で被覆する工程を有する。

さらに、本発明の化合物半導体ホール素子の他の製造方法は、 $\text{In}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ ($0 \leq x1 \leq 1$ 、 $0 \leq y1 \leq 1$) からなる活性層の上下に、該活性層より大きな禁制帯幅を有するSbを含む化合物半導体層を配置した半導体薄膜を形成する工程、第一保護層を形成する工程、パターニングされた該第一保護層をマスクとして用いて半導体薄膜の感磁部および電極接触部以外をエッチング工程で除去する工程、エッチング工程で露出した基板と半導体薄膜および第一保護層を第二保護層で被覆する工程と、第二保護層、第一保護層、キャップ層を含む上部化合物半導体層をエッチング工程により除去し前記金属電極層と接触する前記活性層を露出させる工程、エッチング工程で露出した半導体薄膜および第二保護層を第三保護層で被覆する工程を有する。

これらの化合物半導体ホール素子の製造方法において、前記第一保護層が SiO_2 で、前記第二保護層が Si_3N_4 であることが好ましい。

また、前記半導体薄膜がGaAsまたはSiの基板上に形成され、前記活性層が InAs で、前記化合物半導体層が $\text{Al}_{z1}\text{Ga}_{1-z1}\text{As}_{y2}\text{Sb}_{1-y2}$ ($0 \leq z1 \leq 1$ 、 $0 \leq y2 \leq 0.3$) であることが好ましい。

図面の簡単な説明

図1は、従来構造を有する化合物半導体ホール素子の断面図である。

図2は、図1の化合物半導体ホール素子を作製する工程図の一例を示す図である。

図3は、本発明の化合物半導体積層構造体の構成例を説明する図である。

図4は、本発明の磁気センサの構成例を説明するための図である。

図5は、化合物半導体ホール素子の他の実施の形態を説明するための断面構造図である。

図6は、図4の化合物半導体ホール素子を作製する工程図の一例を示す図である。

図7は、図8の化合物半導体ホール素子を作製する工程図の一例を示す図である。

図8は、本発明における化合物半導体ホール素子のさらに他の実施の形態を説明

するための断面図である。

図 9 は、図 10 の化合物半導体ホール素子を作製する工程図の一例を示す図である。

5 図 10 は、化合物半導体ホール素子のさらに他の実施の形態を説明するための断面図である。

図 11 は、図 13 の化合物半導体ホール素子を作製する工程図の一例を示す図である。

図 12 は、図 14 の化合物半導体ホール素子を作製する工程図の一例を示す図である。

10 図 13 は、化合物半導体ホール素子のさらに他の実施の形態を説明するための断面図である。

図 14 は、化合物半導体ホール素子のさらに他の実施の形態を説明するための断面図である。

15 図 15 は、InAs 多層構造を感磁部に持つホール素子と、単層の InSb、InAs、GaAs を感磁部に持つホール素子の抵抗温度特性を示す図である。

図 16 は、温度特性が良好な InAs、GaAs、及び InAs 多層構造を感磁部に持つホール素子の入力抵抗 R と感度 V_h の特性を示す図である。

図 17 は、実施例 1 及び比較例 1 に示した化合物半導体積層構造体の、電子移動度の格子定数差依存性を説明するための図である。

20 図 18 は、実施例 1 及び比較例 1 に示した化合物半導体積層構造体の、シート抵抗の格子定数差依存性を説明するための図である。

図 19 A、図 19 B は、 $r_{V_u} + V_u$ バラツキを示すヒストグラムを示す図で、図 19 A は本発明におけるホール素子、図 19 B は従来構造を有するホール素子の場合を示している。

25 図 20 は、図 5 の化合物半導体ホール素子を作製する工程図の一例を示す図である。

図 2 1 は、ホール素子を使った簡単なポインティングデバイスの模式図である。

図 2 2 は、フェライト磁石の位置による 2 つのホール素子の出力差を測定した結果を示す図である。

図 2 3 は、ホール素子を用いて携帯機器用途向け開閉スイッチの一例を示す図である。

図 2 4 は、ホール素子を用いて携帯機器用途向け地磁気センサの一例を示す図である。

発明を実施するための最良の形態

以下に、図面を参照して本発明の実施の形態について説明する。

図 3 は、本発明の化合物半導体積層構造体の構成例を説明するための図で、図中符号 1 1 は基板、1 2 は第 1 の化合物半導体層、1 3 は化合物半導体で構成した活性層、1 4 は第 2 の化合物半導体層を示しており、これらの化合物薄膜 1 2 ~ 1 4 が基板 1 1 上に順次積層されている。なお、第 2 の化合物半導体層 1 4 表面の酸化による劣化を防止等するために、必要に応じて第 2 の化合物半導体層 1 4 上に第 3 の化合物半導体層を備える構成としても良い。

ここで、第 1 の化合物半導体層 1 2 及び第 2 の化合物半導体層 1 4 は、共に 3 種以上の元素で構成される多元系化合物半導体層であり、具体的には、S b を構成元素として含み、かつ、A l、G a、I n、A s、及び、P のグループから選択された 2 種以上の元素で構成される高抵抗の化合物半導体層であり、特に、 $Al_zGa_{1-z}As_ySb_{1-y}$ で表記される組成の化合物半導体であることが好ましい。また、その組成比は、 $0.0 \leq Z \leq 1.0$ 、 $0.0 \leq Y \leq 0.3$ であることが好ましく、より好ましくは、 $0.4 \leq Z \leq 1.0$ 、 $0.0 \leq Y \leq 0.15$ であり、更に好ましくは、 $0.45 \leq Z \leq 1.0$ 、 $0.0 \leq Y \leq 0.12$ である。

第 1 の化合物半導体層 1 2 の厚みは、通常は 150 nm ~ 1 μ m であり、300 nm ~ 700 nm の範囲内にあることが好ましい。実際の素子化プロセスを考えた

場合、第1の化合物半導体層12の厚みが薄い方がプロセスは容易であり、工業的に大きなメリットとなるためである。また、第2の化合物半導体層14の厚みは、通常は5 nm～100 nmであり、30 nm～70 nmの範囲内にあることが好ましい。

- 5 これら第1及び第2の化合物半導体層12、14の抵抗値は、活性層13の抵抗値に対して、少なくとも5倍以上であることが必要であり、好ましくは、100倍以上、より好ましくは、1000倍以上の抵抗値に設計される。また、これらの層12、14のバンドギャップは、活性層13のバンドギャップよりも広いことが必要で、通常は、活性層13のバンドギャップの数倍以上とされる。
- 10 活性層13を構成する化合物半導体としては、 $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0.8 \leq x \leq 1.0$ 、 $0.8 \leq y \leq 1.0$) や InAs が好ましい例であり、 $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ を用いる場合の組成は、 $0.88 \leq x \leq 1.0$ 、かつ、 $0.82 \leq y \leq 1.0$ であることが好ましく、 $0.9 \leq x \leq 1.0$ 、かつ、 $0.9 \leq y \leq 1.0$ であることがより好ましい。
- 15 また、活性層13の厚みは、30 nmより厚く100 nmより薄く設定され、好ましくは、35 nm以上90 nm以下であり、更に好ましくは、40 nm以上70 nm以下である。これは、活性層13の厚さが薄くなると、第1及び第2の化合物半導体層12、14のSb組成変動に起因する電子移動度及びシート抵抗の変動が大きくなって工業的に製造することが困難になる一方、厚くなりすぎると、電子移動度自体が低下するとともに、第1及び第2の化合物半導体層12、14のSb組成変動に起因する電子移動度及びシート抵抗の変動が大きくなって工業的に製造することが困難になるためである。
- 20

第1及び第2の化合物半導体層12、14の格子定数は、活性層13の格子定数に対する格子定数差が0.0%～1.2%になるように設定され、好ましくは、0.1%～1.0%であり、より好ましくは、0.2%～0.9%の範囲とされる。ここで、これらの化合物半導体結晶の各々の格子定数は、いわゆる「ベガード則」に

よって層を構成する元素組成に依存するから、相互の格子定数差が最適になるように各々の層の組成が決定されることとなる。なお、第1及び第2の化合物半導体層12、14の格子定数が、活性層13の格子定数に対して大きすぎたり小さすぎると、第1及び第2の化合物半導体層12、14内でのSbの組成変動によって、電子移動度等の特性が大きく変動してしまうことになる。

第2の化合物半導体層14の上に第3の化合物半導体層を備える構成とする場合には、その材料としては、GaAsやGaAsSb等が好ましい。特に、GaAsを用いた場合には、本発明の化合物半導体積層構造体を素子化した際に、素子特性のばらつきが小さくなる傾向がある。この場合のGaAs層の厚さは、通常は0.5nm～50nmであり、好ましくは3nm～30nm、より好ましくは6nm～15nmである。

ここで、基板11についての制限は特にはないが、その上に積層させる化合物半導体層12の格子定数等を考慮して選択され、例えば、GaAs、GaP、InP、InSb等の化合物半導体ウエハやSiウエハ等は好ましい例である。また、結晶を成長させる面方位としては、(100)、(111)、(110)等が好ましい。

図3に示した構成の化合物半導体積層構造体では、電子移動度やシート抵抗といった電気特性が安定して得られることとなる。これは、このような構成の化合物半導体積層構造体においては、上述したように、各層の層厚と格子定数（すなわち組成）が互いに最適化された関係にあるために、第1及び第2の化合物半導体層中に必ず含まれることとなるSbの組成変動がある場合でも、それが電気特性を劇的に変化させることがないためである。

すなわち、本発明者の検討によれば、従来の量子井戸型化合物半導体積層構造体で、再現性の高い、電子移動度やシート抵抗を得ることが困難であった原因は、第1及び第2の化合物半導体層に必ず含まれることとなるSbの制御が困難であるために生じたSb組成変動が、電子移動度などの特性を劇的に変化させてしまうためであり、安定した特性を得るためには、Sb組成変動が電気特性に及ぼす影響を

低減させる構造を採用することが必要である。

また、特許第 3 0 6 9 5 4 5 号公報および特許第 2 7 9 3 4 4 0 号公報では、量子効果を有するホールセンサを形成するためには、InAs 等のセンサ層の厚さとして 20 nm 以下が好ましいとされているが、本発明者は、センサ層（活性層）の厚さを 20 nm より厚く設計し、更に、第 1 及び第 2 の化合物半導体層の格子定数を、活性層の格子定数の 0.0 % ~ 1.2 % の範囲となるようにすることにより、化合物半導体層の Sb 組成変動によって生じる電子移動度及びシート抵抗の変動が抑制されることを見いだして本発明の化合物半導体積層構造体を構成しているのである。

図 3 に示した構成の化合物半導体積層構造体において、活性層 13 の厚み、及び、第 1 及び第 2 の化合物半導体層 12、14 と活性層 13 の格子定数の差（格子不整合度）の夫々に最適値があるのは、以下の理由によるものと考えられる。

すなわち、化合物半導体層は、層中の Sb 組成が大きい方が、結晶性が良好になる傾向が実験的に確認されているが、層中の Sb 組成が大きくなると活性層 13 を構成している結晶との間の格子不整合度も大きくなる。このとき、活性層 13 の層厚が薄い場合には、1 % 程度の格子不整合度の影響は受けずに、化合物半導体層中の Sb 組成の上昇に伴って活性層 13 の電子移動度も大きくなり、その結果、シート抵抗も小さくなって特性のばらつきが大きくなってしまう。

一方、活性層 13 の層厚が厚い場合には、格子不整合が 1 % 程度でも影響を受け、化合物半導体層中の Sb 組成が増すにつれて結晶に応力が加わり、電子移動度が低下し、結果として、活性層 13 中の電子移動度は化合物半導体層中の Sb 組成によらずほぼ一定となり、シート抵抗も一定の範囲に収まることとなる。また、活性層 13 の層厚が 20 nm 以下と極めて薄い場合には、Sb 組成変動や膜厚変動等の影響が顕著に現れるようになるため、再現性の高い電気特性が得られなくなる。

なお、第 1 の化合物半導体層 12 の厚みは、特許第 3 0 6 9 5 4 5 号公報や特許第 2 7 9 3 4 4 0 号公報においては量子効果を得るために 1 μ m とすることが好

ましいと記載されているが、本発明においてそのような厚い層を必要としないのは、活性層 1 3 の層厚が厚く設定されているためであると考えられる。

上述した構成の本発明の化合物半導体積層構造体を用いて磁気センサを構成すれば、高感度・高入力抵抗で、かつ、温度特性の良好な磁気センサが、安定的に、
5 再現性良く作製可能である。また、そのような磁気センサは、従来の構成の磁気センサと比較して低消費電力であるため、携帯電話等の携帯機器用途に適している。

図 4 は、図 3 に示した構成の化合物半導体積層構造体を用いて構成した本発明の磁気センサの構成例を説明するための図で、図中符号 2 1 は基板、2 2 は第 1 の化合物半導体層、2 3 は化合物半導体で構成した活性層、2 4 は第 2 の化合物半導体層、2 5 は第 3 の化合物半導体層を示している。これら 2 2 ~ 2 5 に示した化合物
10 半導体層の組成や膜厚等のパラメータは、図 3 を用いて上述した内容と同様である。なお、2 2 から 2 5 で構成される積層体を「半導体薄膜」と称する。更に、2 6 は金属電極層、2 7 は保護層を示している。

金属電極層 2 6 は、通常はオーミック電極であり、センサ層（活性層 2 3）に対してオーミックコンタクトであることが好ましく、その材質は、AuGe/Ni/Auなどの公知の多層電極でも良いし、単層の金属でも良い。例えば、活性層が InAs であれば Ti/Au など、GaAs であれば AuGe/Ni/Au などがよく用いられる。また、保護層 2 7 を構成する材料としては、SiN、SiO₂ などが好ましく、これらは単一層であっても多層であっても構わない。

20 なお、本発明の磁気センサには、ホール素子や磁気抵抗素子などが含まれる。

次に、本発明を不平衡電圧の改善という観点で説明する。

図 4 において、第 1 の化合物半導体層 2 2 および第 2 の化合物半導体層 2 4 の禁制帯幅は、活性層 2 3 より大きい。金属電極層 2 6 は、第 1 の化合物半導体層 2 2、第 2 の化合物半導体層 2 4 および第 3 の化合物半導体層 2 5 とは保護層 2 7 により電氣的に隔離されており、半導体薄膜とは活性層 2 3 のみと接触している。その
25 ため、活性層 2 3 に安定して電流を流すことができる。従来のホール素子は、金属

電極層 26 が活性層 23 以外に、第 1 の化合物半導体層 22、第 2 の化合物半導体層 24 および第 3 の化合物半導体層 25 とともに接触している。この点が本発明と従来のものとの相違点である。

つまり、 $\text{In}_{x_1}\text{Ga}_{1-x_1}\text{As}_{y_1}\text{Sb}_{1-y_1}$ ($0 \leq x_1 \leq 1$ 、 $0 \leq y_1 \leq 1$) からなる活性層 23 の上下に、この活性層 23 より大きな禁制帯幅を有する化合物半導体層 22、24、25 を配置した半導体薄膜 22～25 と、金属電極層 26 および保護層 27 からなるホール素子において、金属電極層 26 が半導体薄膜 22～25 とは活性層 23 のみで接触し、この接触面以外の半導体薄膜 22～25 の上面および側面のすべてが保護層 27 で直接被覆されている。

また、第 1 の化合物半導体層 22、第 2 の化合物半導体層 24 および第 3 の化合物半導体層 25 の上面および側面すべてが、保護層 27 により直接被覆されているので、これら化合物半導体層が大気中の水分に曝されることはない。

活性層 23 の材料には、高電子移動度を有する化合物半導体が用いられる。本発明の活性層としては、 $\text{In}_{x_1}\text{Ga}_{1-x_1}\text{As}_{y_1}\text{Sb}_{1-y_1}$ ($0 \leq x_1 \leq 1$ 、 $0 \leq y_1 \leq 1$) で表される化合物半導体層であれば特に限定されるものではないが、素子感度、素子消費電力および温度特性を総合的に判断すると InAs が好ましい。

また、所望の素子抵抗を得るために、必要に応じて活性層に Si 、 Sn などをドーピングしても良い。第 1 の化合物半導体層 22 と第 2 の化合物半導体層 24 は、活性層 23 より禁制帯幅が大きければ特に限定されるものではなく、またそれぞれが異なる材料であっても良い。

活性層を化合物半導体層で挟み込む構造で高電子移動度が実現されるのは、活性層内の電子が閉じこめられ 2 次元的に電子が動くためである。伝導帯上端の差が大きいほど電子を効率よく閉じこめることができ、活性層と化合物半導体層の禁制帯幅の差を大きくとれる組み合わせにすることが、本発明のホール素子として適している。

具体的には、禁制帯幅の差は 0.3 eV 以上が好ましく、 0.7 eV 以上がより

好ましい。十分な禁制帯幅の差を得るためにも、InAs（禁制帯幅：0.36 eV）は活性層として適しており、その場合の化合物半導体層の材料としては、AlGaAsSbが適している。表1に示すように、AlGaAsSbはその組成比により広い範囲の禁制帯幅（0.72～2.13 eV）を有しており、InAsとの
 5 格子整合性を考慮すると化合物半導体層としては $Al_{z1}Ga_{1-z1}As_{y2}Sb_{1-y2}$ （ $0 \leq z1 \leq 1$ 、 $0 \leq y2 \leq 0.3$ ）が好ましい。

【表1】

半導体材料	格子定数(Å)	禁制帯幅(eV)
AlP	5.451	2.5
AlAs	5.661	2.13
AlSb	6.136	1.58
GaP	5.451	2.26
GaAs	5.653	1.42
GaSb	6.096	0.72
InP	5.869	1.35
InAs	6.058	0.36
InSb	6.479	0.17
Si	5.431	1.12

この組成範囲のAlGaAsSbは、基板材料として一般的なGaAsおよびS
 10 iとは格子定数が大きく異なるが、この基板上に形成すると初期段階で格子緩和した後、AlGaAsSb特有の格子定数で高品質薄膜が形成されることが知られており、第1の化合物半導体層材料として適している。

また、半導体薄膜がGaAsまたはSiの基板上に形成され、活性層がInAsで、化合物半導体層が $Al_{z1}Ga_{1-z1}As_{y2}Sb_{1-y2}$ （ $0 \leq z1 \leq 1$ 、 $0 \leq y2$
 15 ≤ 0.3 ）であることが好ましい。

AlGaAsSbは、GaAs系と比較して酸化されやすく、金属電極層が形成

された界面には酸素が残存し界面制御が困難であるため、電流経路は不安定となる。
したがって、 AlGaAsSb 層を有するホール素子において、本発明の効果は特に大きくなる。また、表面酸化を軽減するため、第2の化合物半導体層としての AlGaAsSb 層上に、第3の化合物半導体層としての GaAsSb 層などを形成
5 している。

図5は、化合物半導体ホール素子の他の実施の形態を説明するための断面構造図で、図中符号31は基板、32は第1の化合物半導体層、33は活性層、34は第2の化合物半導体層、35は第3の化合物半導体層、36は金属電極層、37は保護層を示しており、第1の化合物半導体層32および第2の化合物半導体層34の
10 禁制帯幅は、活性層33より大きい。本発明における第3の化合物半導体層35は InGaAs であるのに対し、従来のホール素子における第3の化合物半導体層は GaAsSb である。この点が本発明と従来のものとの相違点である。

つまり、本発明は、 $\text{In}_{x_1}\text{Ga}_{1-x_1}\text{As}_{y_1}\text{Sb}_{1-y_1}$ ($0 \leq x_1 \leq 1$, $0 \leq y_1 \leq 1$) からなる活性層33の上下に、この活性層33より大きな禁制帯幅を有する
15 Sb を含む化合物半導体層32、34およびキャップ層としての化合物半導体層35を配置した半導体薄膜32～35と、金属電極層36および保護層37からなるホール素子において、化合物半導体層34の上に $\text{In}_{x_2}\text{Ga}_{1-x_2}\text{As}$ ($0 \leq x_2 \leq 1$) からなるキャップ層として働く第3の化合物半導体層35を具備することを特徴としている。

20 活性層32として InAs 、第1の化合物半導体層32および第2の化合物半導体層33として AlGaAsSb を用いたホール素子では、表面酸化防止を目的としてキャップ層としての第3の化合物半導体層35を形成している。第3の化合物半導体層35の材料には、酸化されにくい化合物半導体が用いられる。キャップ層としては、 $\text{In}_{x_2}\text{Ga}_{1-x_2}\text{As}$ ($0 \leq x_2 \leq 1$) で表される化合物半導体層であれば特に限定されるものではないが、酸化されにくく、また禁制帯幅が大きく高抵抗
25 であるので GaAs が好ましい。

図6は、本発明の化合物半導体ホール素子の製造方法を示す工程図で、この製造方法により図4に示すホール素子を作製することができる。具体的な製造工程については後述する。金属電極層26が半導体薄膜22～25とは活性層23のみで接触し、この接触面以外の半導体薄膜の上面と側面のすべてが保護層27で直接被覆される素子構造を実現する方法としては、金属電極層26と接触する活性層23をエッチングにより露出させ、金属電極層26を形成する前に保護層27で被覆すれば特に限定されるものではないが、エッチングにより露出した化合物半導体の側面が以降の工程で損傷を受けないように、エッチング工程の直後に保護層27で被覆することが好ましい。

また、半導体薄膜表面のプロセスによる損傷を軽減するためには、図7に示す工程図（作製されるホール素子の断面図は図8に示す）に示されるように（なお、具体的は製造工程については後述する）、半導体薄膜形成後、まず前述のエッチング工程を行い、次いで第一保護層47で被覆し、この第一保護層47を感磁部形成のためのマスクとして用い、感磁部形成後、第二保護層48で被覆することがより好ましい。なお、図中符号41は基板、42は第1の化合物半導体層、43は活性層、44は第2の化合物半導体層、45は第3の化合物半導体層、46は金属電極層を示している。

ホール素子の半田耐熱性を向上するためには、前述したInGaAsキャップ層（第3の化合物半導体層）とは別の方法として、図9に示す製造方法がある。なお、具体的は製造工程については後述する。

図10は、図9に示す製造方法により作製されるホール素子の断面構造図である。図中符号51は基板、52～55は半導体薄膜、52は第1の化合物半導体層、53は活性層、54は第2の化合物半導体層、55は第3の化合物半導体層、56は金属電極層、57は第一保護層、58は第二保護層を示している。

半導体薄膜の表面がレジスト塗布、O₂アッシング等のプロセスに全く曝されないように、半導体薄膜を形成した後、まず最初に第一保護層57を形成することが

特徴である。

この製造方法によれば、第3の化合物半導体層55がGaAsSbの場合においても十分に高い半田耐熱性を確保することができるが、InGaAsキャップ層と組み合わせることによりさらに高い信頼性を実現することができる。

- 5 図11及び図12は、その具体的な製造方法を示す工程図である。なお、具体的は製造工程については後述する。これら製造方法により作成されるホール素子の断面構造図は、それぞれ図13及び図14に示してある。図中符号61、71は基板、62、72は第1の化合物半導体層、63、73は活性層、64、74は第2の化合物半導体層、65、75は第3の化合物半導体層、66、76は金属電極層、67、77は第一保護層、68、78は第二保護層、79は第三保護層を示している。

つまり、図10においては、 $\text{In}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$) からなる活性層53の上下に、この活性層53より大きな禁制帯幅を有するSbを含む化合物半導体層52、54とキャップ層としての化合物半導体層55を配置した半導体薄膜を形成する。半導体薄膜の形成後、まず第一保護層57を形成し、パターニングされたこの第一保護層57をマスクとして用いて半導体薄膜の感磁部および電極接触部以外をエッチングで除去する。次いで、エッチング工程で露出した基板51と半導体薄膜および第一保護層57を第二保護層58で被覆する。ついで、第二保護層58をパターニングして金属電極層56を形成する。

また、図13においては、 $\text{In}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$) からなる活性層63の上下に、この活性層63より大きな禁制帯幅を有するSbを含む化合物半導体層62、64とキャップ層としての化合物半導体層65を配置した半導体薄膜を形成する。半導体薄膜の形成後、まず第一保護層67を形成し、パターニングされたこの第一保護層67をマスクとして用いて半導体薄膜の感磁部および電極接触部以外をエッチングで除去する。第一保護層67およびキャップ層を含む上部化合物半導体層64、65をエッチング工程により除去し、金属電極層66と接触する活性層63を露出させた後、エッチング工程で露出した

基板 6 1 と半導体薄膜および第一保護層 6 7 を第二保護層 6 8 で被覆する。ついで、第二保護層 6 8 をパターニングして金属電極層 6 6 を形成する。

さらに、図 1 4 においては、 $\text{In}_{x_1}\text{Ga}_{1-x_1}\text{As}_{y_1}\text{Sb}_{1-y_1}$ ($0 \leq x_1 \leq 1$, $0 \leq y_1 \leq 1$) からなる活性層 7 3 の上下に、この活性層 6 3 より大きな禁制帯幅を有する Sb を含む化合物半導体層 7 2、7 4 とキャップ層としての化合物半導体層 7 5 を配置した半導体薄膜を形成する。半導体薄膜の形成後、まず第一保護層 7 7 を形成し、パターニングされたこの第一保護層 7 7 をマスクとして用いて半導体薄膜の感磁部および電極接触部以外をエッチング工程で除去する。エッチング工程で露出した基板 7 1 と半導体薄膜および第一保護層 7 7 を第二保護層 7 8 で被覆する。第二保護層 7 8、第一保護層 7 7 およびキャップ層を含む上部化合物半導体層 7 4、7 5 をエッチング工程により除去し金属電極層 7 6 と接触する活性層 7 3 を露出させた後、エッチング工程で露出した半導体薄膜および第二保護層 7 8 を第三保護層 7 9 で被覆する。ついで、第三保護層 7 9 をパターニングして金属電極層 7 6 を形成する。

保護層材料としては、特に限定されるものではないが、感磁部形成工程をイオンミリング法などの物理的エッチングにより実施する場合、第一保護層もエッチングされるので十分に厚い必要があり、厚くしても剥離しにくい SiO_2 が好ましく、また第二保護層としては耐湿性の点から Si_3N_4 が好ましい。

活性層表面を露出させる方法としては、特に限定されるものではないが、 InAs などの活性層はエッチングされず Sb を含む化合物半導体層がエッチングされるエッチング液を用い選択エッチングを行うと、 InAs 表面でエッチングが停止しプロセスの制御が容易である。キャップ層が InGaAs である場合は、イオンミリング法などの物理的エッチングにより少なくともキャップ層を除去した後、前述した選択エッチングで活性層表面を露出させることができる。この選択エッチング後に活性層表面部分をさらにエッチングすることは、高温高湿試験および半田耐熱試験における不平衡電圧の変動をより小さくする効果がある。このエッチング方

法としては特に限定されるものではない。また、エッチング量としては特に限定されるものではないが、活性層の厚さの2分の1以下が好ましい。

図15は、InAs多層構造を感磁部に持つホール素子と、単層のInSb、InAs、GaAsを感磁部に持つホール素子の抵抗温度特性を示す図である。

- 5 InSbは抵抗の温度変化が非常に大きく指数的に変化するのに対してInAs多層膜、単層InAs、GaAsのホール素子は変化が小さく直線的である。温度変化が小さいだけでなく直線的な変化であることは、より精度を必要して回路設計時に温度補正をかける場合、補正がしやすいというメリットがある。

- 10 図16は、温度特性が良好なInAs、GaAs、及び上述したInAs多層構造を感磁部に持つホール素子の入力抵抗Rと感度V_hの特性を示す図である。

入力抵抗R×感度V_hという値が大きいほど高抵抗で高感度のホール素子であり、携帯機器用途向けに適していることを示している。単層のInAsおよびGaAsのホール素子に比べて上述したInAs多層構造からなるホール素子は4倍以上の値を示している。

- 15 入力抵抗R×感度V_hは20 [Ω・V] (1V・50mT) 以上であれば携帯機器用途向けに適しているといえるが、30 [Ω・V] (1V・50mT) 以上が好ましく、35 [Ω・V] (1V・50mT) 以上がより好ましい。

- 20 活性層の厚みは、30nmより厚く100nmより薄ければ特に限定されないが、35nmより厚く100nmより薄いのが好ましく、40nm以上厚く70nmより薄いのがより好ましい。

- 基板は特に限定しないがGaAsを使用した。また、活性層を挟んだ緩衝層は、Al, Ga, In, As及びPの5種のうち少なくとも2種の元素とSbとで構成されている。活性層に感度と温度特性のバランスの取れたInAsを選び、上下に形成される半導体薄膜としてInAsと格子定数の近いAlGaAsSbを選び、
25 基板にAlGaAsSb、InAs、AlGaAsSbの順に分子線エピタキシー法(MBE法)で成膜した。場合によって最表面に酸化防止などを目的としたGa

Asなどの保護層を設けても良い。

つまり、携帯機器向けに好適なホール素子は、基板と活性層と緩衝層と保護層とから構成され、活性層は、基板上に、膜厚が30nmより大きく100nmより小さい $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 層として形成されて

5 いて、活性層を化合物半導体である緩衝層で挟んだ多層構造を有する感磁部を備えている。

これは活性層の厚さが薄くなると緩衝層のSb組成変動に起因する電子移動度およびシート抵抗の変動が大きくなって工業的に製造することが困難になる一方、厚くなりすぎると電子移動度自体が低下するとともに緩衝層のSb組成変動に起

10 因する電子移動度およびシート抵抗の変動が大きくなって工業的に製造することが困難になるためである。

多層構造からなるホール素子は、各膜の組成を変えることで特性をコントロールすることができるため、用途によって最適な素子を設計することが可能という利点もある。

15 このように多層構造からなるホール素子は、抵抗や感度、温度特性という基本特性がトータルで優れたホール素子であり、携帯機器用途に非常に有効である。こうしたホール素子を携帯機器用のデバイスに使用すれば、デバイスの消費電力を抑えることができ、また感度が高いため設計の自由度が高くなり、デバイスのコストダウンにもつながる。

20 [実施例1]

直径2インチのGaAs基板上に分子線エピタキシー(MBE)法により、第1の化合物半導体層として600nmの $\text{Al}_{0.55}\text{Ga}_{0.45}\text{AsSb}$ 、活性層として50nmのInAs、第2の化合物半導体層として60nmの $\text{Al}_{0.55}\text{Ga}_{0.45}\text{AsSb}$ 、第3の化合物半導体層として6nmのGaAsSbを順次成膜した。

25 Sbの組成は、Ge(220)単結晶を用いた4結晶法による高分解能X線回折法で求めた精密な格子定数を基にベガード則から算出し、電子移動度等の電気特性

は、van der Pauw法によるホール効果の測定から評価した。

表2は、そのようにして求めた格子定数差と、電子移動度及びシート抵抗をS bの組成毎に纏めたものである。

【表2】

S b x	格子定数差 (%) (%)	電子移動度 (cm^2/Vs)	シート抵抗 (Ω)
0.885	0.10	19112	528
0.902	0.23	19705	477
0.918	0.35	20601	428
0.929	0.43	21304	399
0.938	0.50	21921	377
0.948	0.58	22545	358
0.952	0.61	22734	352
0.967	0.72	23077	337
0.983	0.84	22464	326
1.000	0.99	19350	291
平均値		21281	387
ばらつき(±%)		9	31

5 この表2から判るように、第2、及び、第2の化合物半導体層中のS b組成 (S b x = S b / (S b + A s)) を0.885～1.000まで変化させても電気特性は安定しており、S b組成変動が電気特性に及ぼす影響が小さいことが確認できた。すなわち、幅広いS b x = 0.885～1.00の範囲で、電子移動度は、平均値±9%の範囲に入っており、シート抵抗も平均値±31%の範囲に入っている。

10 現在市販されているホール素子のスペックは様々であるが、例えば、抵抗については中心値±40%、感度については中心値±45%程度であるが、本実施例の積層構造体は、感度に比例する電子移動度、抵抗に比例するシート抵抗のいずれもこの範囲内にあり、これらの値のばらつきは小さいと判断できる。

15 なお、通常の工業的製造においては、S b xは中心値±0.04程度の範囲内で運転が可能である。S b x = 0.902～0.983の範囲でみると、電子移動度

は平均値±8%の範囲、シート抵抗も平均値±20%の範囲に入り、工業的に高い収率で化合物半導体積層構造体の生産が可能なのが確認できた。

〔比較例1〕

直径2インチのGaAs基板上に、分子線エピタキシー(MBE)法により、第1の化合物半導体層として600nmの $Al_{0.55}Ga_{0.45}AsSb$ 、活性層として15nmのInAs、第2の化合物半導体層として60nmの $Al_{0.55}Ga_{0.45}AsSb$ 、第3の化合物半導体層として6nmのGaAsSbを順次成膜した。

Sbの組成は、Ge(220)単結晶を用いた4結晶法による高分解能X線回折法で求めた精密な格子定数を基にベガード則から算出し、電子移動度等の電気特性は、van der Pauw法によるホール効果の測定から評価した。

表3は、そのようにして求めた格子定数差と、電子移動度及びシート抵抗をSbの組成毎に纏めたものである。

【表3】

Sb x	格子定数差(%) (%)	電子移動度 (cm^2/Vs)	シート抵抗 (Ω)
0.890	0.140	16476	1100
0.901	0.220	17760	905
0.919	0.360	20032	729
0.930	0.440	21137	677
0.939	0.510	21957	581
0.944	0.550	22375	450
0.954	0.620	23067	390
0.967	0.720	24159	298
0.984	0.850	26468	232
1.000	0.970	30631	190
平均値		22406	555
ばらつき(±%)		32	82

第1及び第2の化合物半導体層中のSb xの変化に従い、電気特性は大きく変動しており、Sb x=0.890~1.00の範囲でみると、電子移動度は平均値±3

2 %の範囲、シート抵抗は平均値 $\pm 8.2\%$ の範囲となり、市販のホール素子のスペックを大幅に逸脱している。

通常の工業的製造においては、 Sbx は中心値 ± 0.04 程度の範囲内で運転が可能である。しかし、 $Sbx = 0.890 \sim 0.967$ の範囲においてさえも、電子移動度は平均値 $\pm 18\%$ の範囲、シート抵抗は平均値 $\pm 63\%$ の範囲となり、工業的生産が困難であることが確認できる。

図17及び図18は、電子移動度及びシート抵抗の格子定数差依存性の評価結果を、実施例1の評価結果と併せて示した図で、図17は電子移動度の格子定数差依存性を示しており、図18はシート抵抗の格子定数差依存性を示している。

これらの図から判るように、実施例1では Sbx の変化に対して両特性の変化は小さい一方、比較例1では著しく大きいことが理解できる。また、実施例1で得られたシート抵抗を、特許第3069545号公報および特許第2793440号公報に記載の最高値 ($280\ \Omega$ 、 $21000\ \text{cm}^2/\text{Vs}$) と比較すると、 $Sbx = 0.918 \sim 0.983$ の広い範囲において同等若しくはそれ以上の電子移動度であり、かつ、シート抵抗は $16\% \sim 70\%$ 程大きく、低消費電力であり、携帯電話等の携帯機器用途に適していることが確認された。

[実施例2]

直径2インチのGaAs基板上に、分子線エピタキシー (MBE) 法により、第1の化合物半導体層として600 nmの $\text{Al}_{0.55}\text{Ga}_{0.45}\text{AsSb}$ 、活性層として70 nmのInAs、第2の化合物半導体層として60 nmの $\text{Al}_{0.55}\text{Ga}_{0.45}\text{AsSb}$ 、第3の化合物半導体層として6 nmのGaAsSbを順次成膜した。

Sbの組成は、Ge (220) 単結晶を用いた4結晶法による高分解能X線回折法で求めた精密な格子定数を基にベガード則から算出し、電子移動度等の電気特性は、van der Pauw法によるホール効果の測定から評価した。

表4は、そのようにして求めた格子定数差と、電子移動度及びシート抵抗をSbの組成毎に纏めたものである。

【表 4】

S b x	格子定数差 (%) (%)	電子移動度 (cm^2/Vs)	シート抵抗 (Ω)
0.886	0.11	16569	535
0.901	0.22	17352	491
0.919	0.36	18809	434
0.937	0.49	20104	390
0.939	0.51	20266	380
0.944	0.55	20544	370
0.951	0.60	20788	360
0.966	0.71	20802	342
0.98	0.82	19889	333
1.000	0.96	17003	312
平均値		19212	395
ばらつき ($\pm\%$)		11	28

この表 4 に示すように、S b x が変わっても、特性変化が小さいことが確認できた。幅広い S b x = 0.886 ~ 0.999 の範囲で、電子移動度は平均値 $\pm 11\%$ の範囲に入っており、シート抵抗も平均値 $\pm 28\%$ の範囲に入っている。市販の
5 ホール素子のスペックでは、抵抗は中心値 $\pm 40\%$ 、感度は中心値 $\pm 45\%$ 程度であるが、感度に比例する電子移動度、及び、抵抗に比例するシート抵抗のいずれもこの範囲内にあり、これらのばらつきは小さいと判断できる。

S b x = 0.901 ~ 0.980 の範囲でみると、電子移動度は平均値 $\pm 9\%$ 以下の範囲に入っており、シート抵抗も平均値 $\pm 20\%$ の範囲内となり、工業的に高
10 い収率で化合物半導体積層構造体の生産が可能なが確認できた。

【実施例 3】

直径 2 インチの G a A s 基板上に、分子線エピタキシー (MBE) 法により、第 1 の化合物半導体層として 600 nm の $\text{Al}_{0.55}\text{Ga}_{0.45}\text{AsSb}$ 、活性層として 35 nm の InAs 、第 2 の化合物半導体層として 60 nm の $\text{Al}_{0.55}\text{Ga}_{0.45}\text{AsSb}$ 、第 3 の化合物半導体層として 6 nm の G a A s S b を順次成膜した。
15

S b の組成は、G e (2 2 0) 単結晶を用いた 4 結晶法による高分解能 X 線回折法で求めた精密な格子定数を基にベガード則から算出し、電子移動度等の電気特性は、v a n d e r P a u w 法によるホール効果の測定から評価した。

表 5 は、そのようにして求めた格子定数差と、電子移動度及びシート抵抗を S b
5 の組成毎に纏めたものである。

【表 5】

S b x	格子定数差 (%) (%)	電子移動度 (cm^2/Vs)	シート抵抗 (Ω)
0.892	0.15	19605	743
0.904	0.24	20518	656
0.918	0.35	21673	590
0.934	0.47	22845	521
0.942	0.53	23372	480
0.948	0.58	23775	450
0.958	0.65	24285	350
0.971	0.75	24909	330
0.980	0.82	25276	320
1.000	1.00	25975	285
平均値		23223	473
ばらつき ($\pm\%$)		14	48

この表 5 に示すように、S b x が変わっても特性変化が小さいことが確認できた。
幅広い S b x = 0.892 ~ 1.00 の範囲で、電子移動度は平均値 $\pm 14\%$ の範囲に入っており、シート抵抗は平均値 $\pm 48\%$ の範囲に入っている。市販のホール
10 素子のスペックでは、抵抗は中心値 $\pm 40\%$ 、感度は中心値 $\pm 45\%$ 程度である。
本実施例の積層構造体は、感度に比例する電子移動度はスペック内であるが、抵抗
に比例するシート抵抗は僅かにスペックの範囲を超えている。

S b x = 0.904 ~ 0.980 の範囲でみると、電子移動度は平均値 $\pm 10\%$
範囲に入っており、シート抵抗も平均値 $\pm 36\%$ の範囲にあるから、市販のホール
15 素子のスペックにあり、工業的生産が可能なことが確認できた。

[実施例 4]

直径 2 インチの GaAs 基板上に、分子線エピタキシー (MBE) 法により、第 1 の化合物半導体層として 600 nm の $\text{Al}_{0.45}\text{Ga}_{0.55}\text{AsSb}$ 、活性層として 50 nm の InAs、第 2 の化合物半導体層として 60 nm の $\text{Al}_{0.45}\text{Ga}_{0.55}\text{AsSb}$ 、第 3 の化合物半導体層として 6 nm の GaAsSb を順次成膜した。

Sb の組成は、Ge (220) 単結晶を用いた 4 結晶法による高分解能 X 線回折法で求めた精密な格子定数を基にベガード則から算出し、電子移動度等の電気特性は、van der Pauw 法によるホール効果の測定から評価した。

表 6 は、そのようにして求めた格子定数差と、電子移動度及びシート抵抗を Sb の組成毎に纏めたものである。

【表 6】

Sb x	格子定数差 (%) (%)	電子移動度 (cm^2/Vs)	シート抵抗 (Ω)
0.888	0.12	19173	409
0.897	0.19	19475	393
0.914	0.32	20353	366
0.930	0.44	21393	340
0.940	0.52	22089	321
0.952	0.61	22734	300
0.960	0.67	23002	287
0.970	0.74	23060	272
0.984	0.85	22349	251
1.000	0.99	19350	222
平均値		21298	316
ばらつき (±%)		9	30

この表 6 から判るように、Sb x が変わっても特性変化は小さく、幅広い Sb x = 0.888 ~ 1.00 の範囲内で、電子移動度は平均値 ± 9 % の範囲に入っており、シート抵抗も平均値 ± 30 % の範囲に入っている。市販のホール素子のスペックでは、抵抗は中心値 ± 40 %、感度は中心値 ± 45 % 程度であるが、感度に比例

する電子移動度と抵抗に比例するシート抵抗のいずれもこの範囲内にあり、これらのばらつきは小さいと判断できる。

S b x = 0. 8 9 7 - 0. 9 8 4 の範囲でみると、電子移動度は平均値 ± 8 % 以下の範囲に入っており、シート抵抗も平均値 ± 2 2 % の範囲内となり、工業的に、

5 高い収率で化合物半導体積層構造体の生産が可能なのが確認できた。

〔実施例 5〕

直径 2 インチの G a A s 基板上に、分子線エピタキシー (M B E) 法により、第 1 の化合物半導体層として 6 0 0 n m の $A l_{0.65} G a_{0.35} A s S b$ 、活性層として 5 0 n m の I n A s、第 2 の化合物半導体層として 6 0 n m の $A l_{0.65} G a_{0.35} A s S b$ 、第 3 の化合物半導体層として 6 n m の G a A s S b を順次形成した。

S b の組成は、G e (2 2 0) 単結晶を用いた 4 結晶法による高分解能 X 線回折法で求めた精密な格子定数を基にベガード則から算出し、電子移動度等の電気特性は、v a n d e r P a u w 法によるホール効果の測定から評価した。

表 7 は、そのようにして求めた格子定数差と、電子移動度及びシート抵抗を S b の組成毎に纏めたものである。

【表 7】

S b x	格子定数差 (%) (%)	電子移動度 (cm^2/Vs)	シート抵抗 (Ω)
0.886	0.11	19141	672
0.892	0.15	19286	652
0.902	0.23	19705	611
0.913	0.31	20274	569
0.927	0.42	21214	514
0.939	0.51	22006	473
0.954	0.62	22790	432
0.966	0.71	23075	406
0.988	0.88	21934	367
1.000	1.00	19053	326
平均値		20848	502
ばらつき ($\pm\%$)		10	34

この表7から判るように、S b xが変わっても特性変化が小さく、幅広いS b x = 0.886 ~ 1.00の範囲で、電子移動度は平均値 $\pm 10\%$ の範囲に入っており、シート抵抗も平均値 $\pm 34\%$ の範囲に入っている。市販のホール素子のスペックでは、抵抗は中心値 $\pm 40\%$ 、感度は中心値 $\pm 45\%$ 程度であるが、感度に比例する電子移動度、及び、抵抗に比例するシート抵抗のいずれもこの範囲内にあり、ばらつきは小さいと判断できる。

S b x = 0.902 ~ 0.988の範囲でみると、電子移動度は平均値 $\pm 8\%$ 以下の範囲に入っており、シート抵抗も平均値 $\pm 28\%$ の範囲内となり、工業的に、高い収率で化合物半導体積層構造体の生産が可能なが確認できた。

[実施例6]

直径2インチのGaAs基板上に、分子線エピタキシー (MBE) 法により、第1の化合物半導体層として600nmの $\text{Al}_{0.65}\text{Ga}_{0.35}\text{AsSb}$ 、活性層として50nmの $\text{In}_{0.97}\text{Ga}_{0.03}\text{As}_{0.98}\text{Sb}_{0.02}$ 、第2の化合物半導体層として60nmの $\text{Al}_{0.65}\text{Ga}_{0.35}\text{AsSb}$ 、第3の化合物半導体層として6nmのGaAsSbを順次成膜した。

S b の組成は、G e (2 2 0) 単結晶を用いた 4 結晶法による高分解能 X 線回折法で求めた精密な格子定数を基にベガード則から算出し、電子移動度等の電気特性は、v a n d e r P a u w 法によるホール効果の測定から評価した。

表 8 は、そのようにして求めた格子定数差と、電子移動度及びシート抵抗を S b
5 の組成毎に纏めたものである。

【表 8】

S b x	格子定数差 (%) (%)	電子移動度 (cm^2/Vs)	シート抵抗 (Ω)
0.905	0.25	19835	610
0.910	0.29	20120	592
0.911	0.30	20196	583
0.913	0.35	20601	556
0.926	0.41	21125	527
0.940	0.52	22089	483
0.959	0.66	22969	427
0.966	0.71	23075	411
0.980	0.82	22661	387
0.992	0.91	21404	365
平均値		21407	494
ばらつき ($\pm\%$)		8	25

この表 8 から判るように、S b x が変わっても、特性変化は小さく、幅広い S b
x = 0.905 ~ 0.992 の範囲で、電子移動度は平均値 $\pm 8\%$ の範囲に入っ
ており、シート抵抗も平均値 $\pm 25\%$ の範囲に入っている。市販のホール素子のス
10 ペックでは、抵抗は中心値 $\pm 40\%$ 、感度は中心値 $\pm 45\%$ 程度であるが、感度に
比例する電子移動度、及び、抵抗に比例するシート抵抗のいずれもこの範囲内にあ
り、ばらつきは小さいと判断できる。

S b x = 0.905 ~ 0.980 の範囲でみると、電子移動度は平均値 $\pm 8\%$ 以
下の範囲に入っており、シート抵抗も平均値 $\pm 22\%$ の範囲内となり、工業的に、
15 高い収率で化合物半導体積層構造体の生産が可能なが確認できた。

[実施例 7]

次に、実施例 1 で形成した積層基板上に、フォトリソグラフィ法を用いて、図 4 と同様な磁気センサであるホール素子を形成し、ホール素子特性を測定した。電極は、真空蒸着法により Ti 層 100 nm、Au 層 600 nm を連続蒸着して用いた。ホール素子のチップサイズは $360\ \mu\text{m} \times 360\ \mu\text{m}$ であり、感磁部の長さ(対向した電極間長)が $95\ \mu\text{m}$ 、幅が $35\ \mu\text{m}$ である。このホール素子に、50 mT の磁場中で 3 V の入力電圧を加えてホール素子の感度を測定した。測定は基板中央の素子で実行した。

表 9 は、このようにして測定した感度と入力抵抗の格子定数差毎に纏めたものである。

【表 9】

S b x	格子定数差 (%) (%)	感度 (3 V, 50 mT)	入力抵抗 (Ω)
0.885	0.10	102	1250
0.902	0.23	103	1090
0.918	0.35	107	980
0.929	0.43	111	910
0.938	0.50	114	870
0.948	0.58	117	820
0.952	0.61	118	800
0.967	0.72	125	780
0.983	0.84	117	760
1.000	0.99	100	650
平均値		111	891
ばらつき ($\pm\%$)		11	34

この表 9 にあるように、S b x = 0.885 ~ 1.00 の範囲で、感度は平均で 111 mV、入力抵抗は 891 オームであった。この感度は、通常の GaAs を用いたホール素子の 2 倍以上の感度であり、素子抵抗も特許第 2793440 号公報で記載されている例と同等以上であり、高感度かつ低消費電力素子であることが確認

された。また、温度特性についても特許第 2 7 9 3 4 4 0 号公報に記載された素子と同等レベルであることが確認できた。

感度のばらつきは平均値 $\pm 11\%$ の範囲に入っており、シート抵抗も平均値 $\pm 34\%$ の範囲に入っている。市販のホール素子のスペックでは、抵抗は中心値 $\pm 40\%$ 、感度は中心値 $\pm 45\%$ 程度であるが、感度に比例する電子移動度、及び、抵抗に比例するシート抵抗のいずれもこの範囲内にあり、ばらつきは小さいと判断できる。

$Sbx = 0.902 \sim 0.983$ の範囲でみると、感度は平均値 $\pm 7\%$ の範囲に入っており、入力抵抗も平均値 $\pm 19\%$ の範囲内にあり、工業的に高い収率で量子井戸型ホールセンサの生産が可能ことが確認できた。また、本実施例の磁気センサは低消費電力であり、携帯電話等の携帯機器用途に適していることが確認された。

[比較例 2]

表 10 は、比較例 1 で形成した積層体を用いて実施例 7 と同様にホール素子を形成し、同条件でホール素子特性を測定した結果を纏めたものである。

【表 10】

S b x	格子定数差 (%) (%)	感度 (3 V, 50 mT)	入力抵抗 (Ω)
0.890	0.14	80	2550
0.901	0.22	84	2060
0.919	0.36	106	1700
0.930	0.44	109	1550
0.939	0.51	115	1330
0.944	0.55	117	1030
0.954	0.61	121	890
0.967	0.72	125	680
0.984	0.85	138	540
1.000	0.97	160	400
平均値		116	1273
ばらつき ($\pm\%$)		35	84

この表 10 から判るように、 $S b x = 0.890 \sim 1.00$ の範囲で、感度の平均値は 116 mV 、入力抵抗の平均値は 1273 オーム であり、感度のばらつきは平均 $\pm 35\%$ の範囲、入力抵抗のばらつきは平均値 $\pm 84\%$ の範囲となり、市販のホール素子のスペックを大幅に逸脱している。

- 5 通常の工業的製造においては、 $S b x$ は中心値 ± 0.04 程度の範囲内で運転が可能であるから、 $S b x = 0.888 \sim 0.967$ の範囲においても、感度は平均値 $\pm 24\%$ の範囲、入力抵抗は平均値 $\pm 62\%$ の範囲となり、工業的生産が困難である事が確認できた。なお、面内での抵抗分布および感度分布は実施例 7 と比べて著しく悪い傾向を示した。

10 [実施例 8]

表 11 は、実施例 2～6 で形成した積層体を用いて、実施例 7 と同様にホール素子を形成し、同条件でホール素子特性を測定した結果（感度、及び入力抵抗、並びにこれらのばらつき）を纏めたものである。

【表 11】

実施例	感度 (mV)	ばらつき (%)	入力抵抗 (Ω)	ばらつき (%)	$S b x$ 範囲
2	101	12	911	30	0.886-0.999
3	121	16	1090	51	0.904-0.980
4	112	11	735	32	0.888-1.000
5	110	12	1151	36	0.886-1.000
6	112	10	1118	27	0.905-0.992

- 15 これらのいずれのホール素子においても、市販のホール素子のスペックをほぼ満たしており、工業的に高い収率で量子井戸型ホールセンサの生産が可能であることが確認できた。また、これらの素子の感度は、通常の $G a A s$ を用いたホール素子の 2 倍以上の感度であり、高感度、かつ、低消費電力素子であることが確認された。

[実施例 9]

直径2インチのGaAs基板上に、分子線エピタキシー(MBE)法により、第1の化合物半導体層として600nmの $Al_{0.55}Ga_{0.45}AsSb$ 、活性層として50nmのInAs、第2の化合物半導体層として60nmの $Al_{0.55}Ga_{0.45}AsSb$ 、第3の化合物半導体層として6nmのGaAsを順次成膜した。

- 5 Sbの組成は、Ge(220)単結晶を用いた4結晶法による高分解能X線回折法で求めた精密な格子定数を基にベガード則から算出し、電子移動度等の電気特性は、van der Pauw法によるホール効果の測定から評価した。

表12は、そのようにして求めた格子定数差と、電子移動度及びシート抵抗をSbの組成毎に纏めたものである。

10 【表12】

Sbx	格子定数差(%) (%)	電子移動度 (cm^2/Vs)	シート抵抗 (Ω)
0.886	0.11	19141	538
0.904	0.24	19769	484
0.917	0.34	20517	444
0.930	0.44	21393	406
0.939	0.51	22006	385
0.947	0.57	22475	371
0.954	0.62	22790	360
0.968	0.73	23072	341
0.984	0.85	22349	329
1.000	0.99	19350	296
平均値		21286	395
ばらつき(±%)		9	31

- この表12から判るように、第1及び第2の化合物半導体層中のSb組成が変わっても特性変化は小さく、幅広い $Sbx = 0.886 \sim 1.00$ の範囲で、電子移動度は平均値 $\pm 9\%$ の範囲に入っており、シート抵抗も平均値 $\pm 31\%$ の範囲に入っている。感度に比例する電子移動度、及び、抵抗に比例するシート抵抗のい
- 15 れのばらつきも市販のホール素子の感度、及び、入力抵抗のばらつきの範囲内であ

り、ばらつきは小さいと判断できる。

通常の工業的製造においては、 Sb_x は中心値 ± 0.04 程度の範囲内で運転が可能であるから、 $Sb_x = 0.904 \sim 0.984$ の範囲でみると、電子移動度は

- 5 工業的に高い収率で化合物半導体積層構造体の生産が可能ことが確認されるとき、第3の化合物半導体層をGaAsSbで構成した場合の積層構造体と同等の結果が得られた。

[実施例10]

- 10 表13は、実施例7と同様に、フォトリソグラフィ法を用いて図4と同様な磁気センサ（ホール素子）を形成してホール素子特性を測定した結果を纏めたものである。

【表13】

Sb_x	格子定数差 (%) (%)	感度 (3 V, 50 mT)	入力抵抗 (Ω)
0.885	0.10	102	1240
0.902	0.23	103	1100
0.918	0.35	107	990
0.929	0.43	111	920
0.938	0.50	114	880
0.948	0.58	117	830
0.952	0.61	118	810
0.967	0.72	122	790
0.983	0.84	117	750
1.000	0.99	102	660
平均値		111	897
ばらつき ($\pm\%$)		9	32

- 15 この表13にあるように、 $Sb_x = 0.886 \sim 1.00$ の範囲で、感度は平均で111 mV、入力抵抗は897 オームであった。この感度は、通常のGaAsを用いたホール素子の2倍以上の感度であり、高感度で低消費電力素子であることが確

認された。

感度のばらつきは±9%の範囲に入っており、シート抵抗も平均値±32%の範囲に入っている。この結果は、第3の化合物半導体層をGaAsSbで構成した場合（実施例7）に比べて良好である。市販のホール素子のスペックでは、抵抗は中心値±40%、感度は中心値±45%程度であるが、感度に比例する電子移動度、及び、抵抗に比例するシート抵抗のいずれもこの範囲内にあり、ばらつきは小さい判断とできる。

なお、通常の工業的製造においては、Sbxは中心値±0.04程度の範囲内で運転が可能であるから、Sbx=0.902~0.983の範囲でみると、感度は平均値±8%の範囲に入っており、入力抵抗も平均値±20%の範囲に入り、第3の化合物半導体層をGaAsSbで構成した場合に比べてばらつきが小さくなっており、工業的に高い収率で量子井戸型ホールセンサの生産が可能なが確認できた。

[実施例11]

図4に示す化合物半導体ホール素子を以下の工程により作製した。

まず、半導体薄膜の作製手順について説明する。

直径2インチのGaAs基板1上に分子線エピタキシー（MBE）法により、第1の化合物半導体層として500nmの $Al_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}$ 、活性層として50nmのInAs、第2の化合物半導体層として50nmの $Al_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}$ 、第3の化合物半導体層として5nmの $GaAs_{0.02}Sb_{0.98}$ を順次成膜することにより半導体薄膜を形成した。

$Al_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}$ の禁制帯幅は、およそ1.2eVであり、InAsの0.36eVと比較して十分大きな値である。半導体薄膜2の電気特性をvan der Pauw法を用いて測定したところ、電子移動度が22000 cm^2/Vs 、シート抵抗が360 Ω 、シート電子濃度が $7.9 \times 10^{11} cm^{-2}$ であった。

次に、ウェハプロセスについて説明する。

まず、InAs層を露出させるためのレジストパターンをフォトリソグラフィー法を用いて形成した。不要なGaAs_{0.02}Sb_{0.98}層とAl_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}層のエッチングは、アルカリ性のレジスト現像液を用いてレジスト現像から連続して行い、その後レジストを除去した。InAs層は現像液でエッチングされないため、InAs層表面でエッチングは停止する。

次に、感磁部の形状をしたレジストパターンを形成し、これをマスクとしてイオンミリング法によりGaAs基板までメサエッチングを行い感磁部を形成した後、レジストを除去した。次に、ウェハ全面にプラズマCVD法を用いて、保護層としてのSi₃N₄を300nm形成した。金属電極層がInAs層と接触する部分とパッド部分が開口部となっているレジストパターンをこのSi₃N₄層上に形成した後、CF₄とO₂の混合ガスを用いた反応性イオンエッチング法によりSi₃N₄層の不要部分をエッチングした。

その後、レジストを除去し、さらに、真空蒸着法によりTi層100nm、Au層600nmを連続蒸着し、通常のリフトオフ法により金属電極層のパターンを形成した。最後に、ウェハにAr雰囲気中で250℃、2時間のアニールを施して化合物半導体ホール素子を製作した。

このような方法でウェハ上に多数製作した化合物半導体ホール素子の感磁部の長さ（対向した電極間長）は95μm、幅は35μmである。50mTの磁場中で3Vの入力電圧を加えてホール素子の感度を測定したところ、120mVの出力電圧が得られた。

ウェハ内に製作した13500個のホール素子の入力抵抗R_{in}、不平衡電圧V_uおよび90°回転した不平衡電圧rV_uをオートプロバ（自動測定器）により測定した。R_{in}の測定は入力電流0.1mAで、V_uおよびrV_uの測定は入力電圧3Vで行った。R_{in}の平均値は820Ωであった。また、V_u+rV_uバラツキは、図19Aに示される分布を有し、σ=0.18mVと小さく、また0.5

mVを越える素子はなかった。

〔比較例 3〕

図 1 に示す従来の化合物半導体ホール素子を以下の工程により作製した。半導体薄膜の層構成および作製手順は、上述した実施例 1 と同じである。ウェハプロセス
5 スの手順について以下に説明する。

まず、感磁部の形状をしたレジストパターンを、フォトリソグラフィ法を用いて形成し、これをマスクとしてイオンミリング法により GaAs 基板までメサエッチングを行い感磁部を形成した後、レジストを除去した。

次いで、InAs 層を露出させるためのレジストパターンをフォトリソグラフィ法を用いて形成した。不要な $\text{GaAs}_{0.02}\text{Sb}_{0.98}$ 層と $\text{Al}_{0.57}\text{Ga}_{0.43}\text{As}_{0.04}\text{Sb}_{0.96}$ 層のエッチングは、アルカリ性のレジスト現像液を用いてレジスト現像から連続して行い、その後、レジストを除去した。InAs 層は現像液でエッチングされないため、InAs 層表面でエッチングは停止する。
10

次に、真空蒸着法により Ti 層 100 nm、Au 層 600 nm を連続蒸着し、通常のリフトオフ法により金属電極層 3 のパターンを形成した。その後、ウェハ全面にプラズマ CVD 法を用いて、保護層 4 としての Si_3N_4 を 300 nm 形成した。パッド部分が開口部となっているレジストパターンを該 Si_3N_4 層上に形成した後、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により Si_3N_4 層の不要部分をエッチングした。レジストを除去した後、ウェハに Ar 雰囲気中で 2
15 50℃、2 時間のアニールを施してホール素子を製作した。
20

このような方法でウェハ上に多数製作した化合物半導体ホール素子の感磁部の長さ（対向した電極間長）は $95\text{ }\mu\text{m}$ 、幅は $35\text{ }\mu\text{m}$ である。感度は実施例 1 と同じ 120 mV が得られた。

ウェハ内に製作した 13500 個のホール素子の入力抵抗 R_{in} 、不平衡電圧 V_u および 90° 回転した不平衡電圧 rV_u の測定を実施例 1 と同様に行った。 R_{in} の平均値は $820\text{ }\Omega$ と実施例 1 と同じであった。 $V_u + rV_u$ バラツキは、図 1
25

9 B示される分布を有し、 $\sigma = 0.76 \text{ mV}$ と実施例 11と比較して極めて大きく、
0.5 mVを越える素子が多かった。

[実施例 12]

上述した実施例 11と層構成の異なる半導体薄膜で、図 4に示す化合物半導体
5 ホール素子を作製する工程について以下に説明する。

まず、半導体薄膜の作製手順について説明する。

直径 2 インチの GaAs 基板 1 上に分子線エピタキシー (MBE) 法により、第
1 の化合物半導体層として 500 nm の $\text{Al}_{0.50}\text{Ga}_{0.50}\text{As}$ 、活性層として 5
0 nm の $\text{In}_{0.05}\text{Ga}_{0.95}\text{As}$ 、第 2 の化合物半導体層として 50 nm の $\text{Al}_{0.50}\text{Ga}_{0.50}\text{As}$ 、第 3 の化合物半導体層として 10 nm の GaAs を順次成膜す
10 ることにより半導体薄膜を形成した。

第 2 の化合物半導体層の $\text{Al}_{0.50}\text{Ga}_{0.50}\text{As}$ は、活性層側から 10 nm がノ
ンドープ層で、第 3 の化合物半導体層側の 40 nm を Si ドープ層とした。 $\text{Al}_{0.50}\text{Ga}_{0.50}\text{As}$ の禁制帯幅はおよそ 1.8 eV であり、 $\text{In}_{0.05}\text{Ga}_{0.95}\text{As}$
15 の 1.4 eV と比較して十分大きな値である。半導体薄膜の電気特性を、van der Pauw 法を用いて測定したところ、電子移動度が $7500 \text{ cm}^2/\text{Vs}$ 、
シート抵抗が 1200Ω 、シート電子濃度が $7.0 \times 10^{11} \text{ cm}^{-2}$ であった。

次に、ウェハプロセスについて説明する。

まず、 $\text{In}_{0.05}\text{Ga}_{0.95}\text{As}$ 層を露出させるためのレジストパターンをフォト
20 リソグラフィ法を用いて形成した。不要な GaAs 層と $\text{Al}_{0.50}\text{Ga}_{0.50}\text{As}$
層のエッチングはイオンミリング法により行い、 $\text{In}_{0.05}\text{Ga}_{0.95}\text{As}$ 層の途中
でエッチングを停止した。その後、レジストを除去した。

次いで、感磁部の形状をしたレジストパターンを形成し、これをマスクとしてイ
オンミリング法により GaAs 基板までメサエッチングを行い感磁部を形成した
25 後、レジストを除去した。次に、ウェハ全面にプラズマ CVD 法を用いて、保護層
4 としての Si_3N_4 を 300 nm 形成した。金属電極層が $\text{In}_{0.05}\text{Ga}_{0.95}\text{As}$

層と接触する部分とパッド部分が開口部となっているレジストパターンを該 Si_3N_4 層上に形成した後、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により Si_3N_4 層の不要部分をエッチングした。

その後、レジストを除去し、さらに、真空蒸着法により AuGe 層 250 nm、
5 Ni 層 50 nm、 Au 層 350 nm を連続蒸着し、通常のリフトオフ法により金属電極層 3 のパターンを形成した。最後に、ウェハに N_2 雰囲気中で 400℃、5 分間のアニールを施してホール素子を製作した。

このような方法でウェハ上に多数製作したホール素子の感磁部の長さ（対向した電極間長）は 80 μm 、幅は 40 μm である。50 mT の磁場中で 3 V の入力電圧
10 を加えてホール素子の感度を測定したところ、50 mV の出力電圧が得られた。

ウェハ内に製作した 13500 個のホール素子の入力抵抗 R_{in} 、不平衡電圧 V_u および 90° 回転した不平衡電圧 rV_u の測定を実施例 11 と同様に行った。 R_{in} の平均値は 2000 Ω であった。また、 $V_u + rV_u$ バラツキは、 $\sigma = 0.15$ mV と小さく、また 0.5 mV を越える素子はなかった。

15 [比較例 4]

上述した実施例 12 と層構成の同じ半導体薄膜で、図 1 に示す化合物半導体ホール素子を作製する工程について以下に説明する。半導体薄膜の作製手順は実施例 12 と同じである。ウェハプロセスの手順を以下に説明する。

まず、感磁部の形状をしたレジストパターンを、フォトリソグラフィー法を用いて形成し、これをマスクとしてイオンミリング法により GaAs 基板までメサエッチングを行い感磁部を形成した後、レジストを除去した。次いで、 $\text{In}_{0.05}\text{Ga}_{0.95}\text{As}$ 層を露出させるためのレジストパターンを、フォトリソグラフィー法を用いて形成した。不要な GaAs 層と $\text{Al}_{0.50}\text{Ga}_{0.50}\text{As}$ 層のエッチングは、イオンミリング法により行い、 $\text{In}_{0.05}\text{Ga}_{0.95}\text{As}$ 層の途中でエッチングを停止
25 した。その後、レジストを除去した。

次に、真空蒸着法により AuGe 層 250 nm、 Ni 層 50 nm、 Au 層 350

nmを連続蒸着し、通常のリフトオフ法により金属電極層3のパターンを形成した。次いで、ウェハにN₂雰囲気中で400℃、5分間のアニールを施した後、ウェハ全面にプラズマCVD法を用いて、保護層4としてのSi₃N₄を300nm形成した。パッド部分が開口部となっているレジストパターンをこのSi₃N₄層上に形成した後、CF₄とO₂の混合ガスを用いた反応性イオンエッチング法によりSi₃N₄層の不要部分をエッチングし、最後にレジストを除去した。

このような方法でウェハ上に多数製作したホール素子の感磁部の長さ(対向した電極間長)は80μm、幅は40μmである。感度は実施例2と同じ50mVが得られた。

ウェハ内に製作した13500個のホール素子の入力抵抗R_{in}、不平衡電圧V_uおよび90°回転した不平衡電圧rV_uの測定を実施例11と同様に行った。R_{in}の平均値は2000Ωと実施例2と同じであった。V_u+rV_uバラツキは、σ=0.30mVと実施例2と比較して大きく、0.5mVを越える素子が確認された。

15 [実施例13]

図4に示す化合物半導体ホール素子を以下の工程により作製した。

まず、半導体薄膜の作製手順を説明する。直径2インチのGaAs基板上に分子線エピタキシー(MBE)法により、第1の化合物半導体層として500nmのAl_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}、活性層として50nmのInAs、第2の化合物半導体層として50nmのAl_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}、第3の化合物半導体層として10nmのGaAs_{0.02}Sb_{0.98}を順次成膜することにより半導体薄膜を形成した。

Al_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}の禁制帯幅はおよそ1.2eVであり、InAsの0.36eVと比較して十分大きな値である。半導体薄膜の電気特性を、van der Pauw法を用いて測定したところ、電子移動度が22000cm²/Vs、シート抵抗が360Ω、シート電子濃度が7.9×10¹¹cm⁻²であつ

た。

次に、図6に示す工程図に基づきウェハプロセスについて説明する。

まず、感磁部（電極接触部を含む）の形状をしたレジストパターンを形成し（S601）、これをマスクとしてイオンミリング法によりGaAs基板までメサエッチングを行い感磁部を形成した後（S602）、レジストを除去した（S603）。

次に、金属電極層がInAs層と接触する部分よりわずかに大きい領域が開口部となっているレジストパターンを半導体薄膜上に形成した後（S604）、不要なGaAs_{0.02}Sb_{0.98}層とAl_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}層のエッチングをHCl系エッチング液で行い（S605）、その後レジストを除去した（S606）。InAs層はエッチングされないエッチング液を用いたためInAs層表面でエッチングは停止する。

次に、ウェハ全面にプラズマCVD法を用いて、保護層としてのSi₃N₄を300nm形成した（S607）。金属電極層がInAs層と接触する部分とパッド部分が開口部となっているレジストパターンをこのSi₃N₄層上に形成した後（S608）、CF₄とO₂の混合ガスを用いた反応性イオンエッチング法によりSi₃N₄層の不要部分をエッチングした（S609）。その後レジストを除去し（S610）、さらに真空蒸着法によりTi層100nm、Au層600nmを連続蒸着し、通常のリフトオフ法により金属電極層13のパターンを形成した（S611, S612）。最後に、ウェハにAr雰囲気中で250℃、2時間のアニールを施してホール素子を製作した。

このような方法でウェハ上に多数製作したホール素子の感磁部の長さ（対向した電極間長）は95μm、幅は35μmである。これらホール素子を、ダンシング、ダイボンド、ワイヤボンド、ついでトランスファーモールドを行い、エポキシ樹脂でモールドされたホール素子を製作した。

上述した方法で作製されたホール素子の感度を、50mTの磁場中で3Vの入力電圧を加えて測定したところ、120mVの出力電圧が得られた。また、ホール素

子を高温高湿環境下（121℃、99%、2気圧）で100時間放置させ、その前後での不平衡電圧変動 ΔV_u （mV）を調べた。さらに、ホール素子を350℃に加熱された半田槽に5秒間ディップさせ、その前後での不平衡電圧変動 ΔV_u （mV）および入力抵抗変動 ΔR_{in} （%）〔抵抗変動をディップ前の抵抗値で割ったもの〕を調べた。 R_{in} の測定は入力電流0.1mAで、 V_u の測定は入力電圧3Vで行った。50素子における測定結果を ΔV_u は標準偏差で、 ΔR_{in} は平均値で評価し、その結果を以下の表14に示した。いずれの値も後述比較例と比較して小さい値であった。特に、高温高湿試験における ΔV_u は大きく改善されており、金属電極層と接触する活性層以外を保護層で直接被覆した効果である。

10 【表14】

【表 14】

	第三化合物半導体 (キャップ層)	感磁部形成時 マスク	構造	工程	高温高湿試験		半田耐熱試験	
					ΔV_u (mV) 〔標準偏差〕	ΔV_u (mV) 〔標準偏差〕	ΔV_u (mV) 〔標準偏差〕	ΔR_{in} (%) 〔平均値〕
実施例 13	GaAs _{0.02} Sb _{0.98}	レジストマスク	図 4	図 6	0. 5	1. 2	1. 2	1 0
比較例 5	GaAs _{0.02} Sb _{0.98}	レジストマスク	図 1	図 2	3. 0	2. 5	2. 5	2 0
比較例 6	GaAs _{0.02} Sb _{0.98}	レジストマスク	図 5	図 20	1. 5	2. 0	2. 0	1 5
実施例 14	GaAs	レジストマスク	図 5	図 20	0. 6	0. 4	0. 4	3
実施例 15	GaAs	レジストマスク	図 4	図 6	0. 3	0. 3	0. 3	2
実施例 16	GaAs _{0.02} Sb _{0.98}	ハードマスク	図 8	図 7	0. 4	0. 5	0. 5	5
実施例 17	GaAs	ハードマスク	図 8	図 7	0. 2	0. 2	0. 2	1
実施例 18	GaAs _{0.02} Sb _{0.98}	ハードマスク	図 10	図 9	0. 8	0. 3	0. 3	2
実施例 19	GaAs _{0.02} Sb _{0.98}	ハードマスク	図 13	図 11	0. 3	0. 2	0. 2	1
実施例 20	GaAs _{0.02} Sb _{0.98}	ハードマスク	図 14	図 12	0. 3	0. 2	0. 2	1
実施例 21	GaAs	ハードマスク	図 14	図 12	0. 2	0. 1	0. 1	0

[比較例 5]

図 1 に示すホール素子を以下の工程により作製した。

半導体薄膜 2 の層構成および作製手順は実施例 1 3 と同じである。図 2 に示す工程図に基づきウェハプロセスについて説明する。まず、感磁部（電極接触部を含む）
5 の形状をしたレジストパターンを、フォトリソグラフィ法を用いて形成し（S 2 0 1）、これをマスクとしてイオンミリング法により GaAs 基板 1 までメサエッチングを行い感磁部を形成した後（S 2 0 2）、レジストを除去した（S 2 0 3）。

次いで、InAs 層 2 b を露出させるためのレジストパターンを、フォトリソグラフィ法を用いて形成した（S 2 0 4）。不要な $\text{GaAs}_{0.02}\text{Sb}_{0.98}$ 層 2 d
10 と $\text{Al}_{0.57}\text{Ga}_{0.43}\text{As}_{0.04}\text{Sb}_{0.96}$ 層 2 c のエッチングを HCl 系エッチング液で行い（S 2 0 5）、その後レジストを除去した（S 2 0 6）。InAs 層はエッチングされないエッチング液を用いたため InAs 層表面でエッチングは停止する。

次に、真空蒸着法により Ti 層 100 nm、Au 層 600 nm を連続蒸着し、通常のリフトオフ法により金属電極層 3 のパターンを形成した（S 2 0 7）。その後、
15 ウェハ全面にプラズマ CVD 法を用いて、保護層 4 としての Si_3N_4 を 300 nm 形成した（S 2 0 8）。パッド部分が開口部となっているレジストパターンをこの Si_3N_4 層上に形成した後（S 2 0 9）、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により Si_3N_4 層の不要部分をエッチングした（S 2 1 0）。
20 レジストを除去した後、ウェハに Ar 雰囲気中で 250℃、2 時間のアニールを施してホール素子を製作した。

このような方法でウェハ上に多数製作したホール素子の感磁部の長さ（対向した電極間長）は 95 μm 、幅は 35 μm である。これらホール素子を、ダンシング、
ダイボンド、ワイヤボンド、ついでトランスファーモールドを行い、エポキシ樹脂
25 でモールドされたホール素子を製作した。

上述した方法で作製されたホール素子の感度を、50 mT の磁場中で 3 V の入力

電圧を加えて測定したところ、120mVの出力電圧が得られた。また、ホール素子の不平衡電圧変動 ΔV_u と入力抵抗変動 ΔR_{in} の測定を実施例11と同様な条件で行った。50素子における測定結果を ΔV_u は標準偏差で、 ΔR_{in} は平均値で評価し、その結果を表14に示す。いずれの値も極めて大きく十分な信頼性が得られなかった。

〔比較例6〕

図5に示すホール素子を以下の工程により作製した。

半導体薄膜の層構成および作製手順は実施例13と同じである。図20に示す工程図に基づきウェハプロセスについて説明する。まず、感磁部（電極接触部を含む）の形状をしたレジストパターンを形成し（S2001）、これをマスクとしてイオンミリング法によりGaAs基板21までメサエッチングを行い感磁部を形成した後（S2002）、レジストを除去した（S2003）。

次に、ウェハ全面にプラズマCVD法を用いて、保護層としての Si_3N_4 を300nm形成した（S2004）。金属電極層がInAs層と接触する部分とパッド部分が開口部となっているレジストパターンをこの Si_3N_4 層上に形成した後（S2005）、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により Si_3N_4 層の不要部分をエッチングし（S2006）、次いでレジストを除去した（S2007）。

次に、不要な $GaAs_{0.02}Sb_{0.98}$ 層22dと $Al_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}$ 層をHCl系エッチング液でエッチングして金属電極層と接触するInAs表面を露出させた（S2008）。さらに、真空蒸着法によりTi層100nm、Au層600nmを連続蒸着し、通常のリフトオフ法により金属電極層23のパターンを形成した（S2009、S2010）。最後に、ウェハにAr雰囲気中で250℃、2時間のアニールを施してホール素子を製作した。

このような方法でウェハ上に多数製作したホール素子の感磁部の長さ（対向した電極間長）は95 μm 、幅は35 μm である。これらホール素子を、ダンシング、

ダイボンド、ワイヤボンド、ついでトランスファーモールドを行い、エポキシ樹脂でモールドされたホール素子を製作した。

上述した方法で作製されたホール素子の感度を、50 mTの磁場中で3 Vの入力電圧を加えて測定したところ、120 mVの出力電圧が得られた。また、ホール素子の不平衡電圧変動 ΔV_u と入力抵抗変動 ΔR_{in} の測定を実施例11と同様な条件で行った。50素子における測定結果を ΔV_u は標準偏差で、 ΔR_{in} は平均値で評価し、その結果を表2に示す。いずれの値も極めて大きく十分な信頼性が得られなかった。

[実施例14]

図5に示すホール素子を以下の工程により作製した。

まず、半導体薄膜の作製手順を説明する。直径2インチのGaAs基板上に分子線エピタキシー(MBE)法により、第1の化合物半導体層として500 nmの $Al_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}$ 、活性層として50 nmのInAs、第2の化合物半導体層として50 nmの $Al_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}$ 、第3の化合物半導体層として10 nmのGaAsを順次成膜することにより半導体薄膜を形成した。 $Al_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}$ の禁制帯幅はおよそ1.2 eVであり、InAsの0.36 eVと比較して十分大きな値である。半導体薄膜2の電気特性を、van der Pauw法を用いて測定したところ、電子移動度が $22000 \text{ cm}^2/\text{Vs}$ 、シート抵抗が 380Ω 、シート電子濃度が $7.5 \times 10^{11} \text{ cm}^{-2}$ であった。

次に、図20に示す工程図に基づきウェハプロセスについて説明する。

まず、感磁部(電極接触部を含む)の形状をしたレジストパターンを形成し(S2001)、これをマスクとしてイオンミリング法によりGaAs基板までメサエッチングを行い感磁部を形成した後(S2002)、レジストを除去した(S2003)。

次に、ウェハ全面にプラズマCVD法を用いて、保護層としての Si_3N_4 を3

00 nm形成した (S 2 0 0 4)。金属電極層が I n A s 層と接触する部分とパッド部分が開口部となっているレジストパターンをこの S i ₃ N₄ 層上に形成した後 (S 2 0 0 5)、C F₄ と O₂ の混合ガスを用いた反応性イオンエッチング法により S i ₃ N₄ 層の不要部分をエッチングし (S 2 0 0 6)、次いでレジストを除去した (S 2 0 0 7)。

次に、不要な G a A s 層と一部の A l_{0.57} G a_{0.43} A s_{0.04} S b_{0.96} 層をイオンミリング法で、残りの A l_{0.57} G a_{0.43} A s_{0.04} S b_{0.96} 層を H C l 系エッチング液でエッチングして金属電極層と接触する I n A s 表面を露出させた (S 2 0 0 8)。さらに、真空蒸着法により T i 層 1 0 0 nm、A u 層 6 0 0 nm を連続蒸着し、通常のリフトオフ法により金属電極層のパターンを形成した (S 2 0 0 9, S 2 0 1 0)。最後に、ウェハに A r 雰囲気中で 2 5 0 °C、2 時間のアニールを施してホール素子を製作した。

このような方法でウェハ上に多数製作したホール素子の感磁部の長さ (対向した電極間長) は 9 5 μm、幅は 3 5 μm である。これらホール素子を、ダンシング、ダイボンド、ワイヤボンド、ついでトランスファーモールドを行い、エポキシ樹脂でモールドされたホール素子を製作した。

上述した方法で作製されたホール素子の感度を、5 0 m T の磁場中で 3 V の入力電圧を加えて測定したところ、1 2 0 m V の出力電圧が得られた。また、ホール素子の不平衡電圧変動 Δ V_u と入力抵抗変動 Δ R_{i n} の測定を実施例 1 3 と同様な条件で行った。5 0 素子における測定結果を Δ V_u は標準偏差で、Δ R_{i n} は平均値で評価し、その結果を表 1 4 に示す。いずれの値も比較例 6 の第 3 の化合物半導体層が G a A s S b の場合と比較して小さく、特に半田耐熱試験における改善が顕著であった。

[実施例 1 5]

実施例 1 4 と同じ層構成の半導体薄膜で、図 4 に示すホール素子を作製する工程を以下に説明する。

半導体薄膜の作製手順は実施例 1 4 2 と同じである。ウェハプロセスは図 6 に示す工程図に基づき実施した。まず、感磁部（電極接触部を含む）の形状をしたレジストパターンを形成し（S 6 0 1）、これをマスクとしてイオンミリング法により GaAs 基板までメサエッチングを行い感磁部を形成した後（S 6 0 2）、レジストを除去した（S 6 0 3）。

次に、金属電極層が InAs 層と接触する部分よりわずかに大きい領域が開口部となっているレジストパターンを半導体薄膜上に形成した後（S 6 0 4）、不要な GaAs 層と一部の $Al_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}$ 層をイオンミリング法で、残りの $Al_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}$ 層を HCl 系エッチング液でエッチングして金属電極層と接触する InAs 表面を露出させた（S 6 0 5, S 6 0 6）。

次に、ウェハ全面にプラズマ CVD 法を用いて、保護層としての Si_3N_4 を 300 nm 形成した（S 6 0 7）。金属電極層が InAs 層と接触する部分とパッド部分が開口部となっているレジストパターンをこの Si_3N_4 層上に形成した後（S 6 0 8）、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により Si_3N_4 層の不要部分をエッチングした（S 6 0 9）。

その後レジストを除去し（S 6 1 0）、さらに、真空蒸着法により Ti 層 100 nm、Au 層 600 nm を連続蒸着し、通常のリフトオフ法により金属電極層のパターンを形成した（S 6 1 1, S 6 1 2）。最後に、ウェハに Ar 雰囲気中で 250℃、2 時間のアニールを施してホール素子を製作した。

このような方法でウェハ上に多数製作したホール素子の感磁部の長さ（対向した電極間長）は 95 μm 、幅は 35 μm である。これらホール素子を、ダンシング、ダイボンド、ワイヤボンド、ついでトランスファーモールドを行い、エポキシ樹脂でモールドされたホール素子を製作した。

上述した方法で作製されたホール素子の感度を、50 mT の磁場中で 3 V の入力電圧を加えて測定したところ、120 mV の出力電圧が得られた。また、ホール素子の不平衡電圧変動 ΔV_u と入力抵抗変動 ΔR_{in} の測定を実施例 1 3 と同様な

条件で行った。50素子における測定結果を ΔV_u は標準偏差で、 ΔR_{in} は平均値で評価し、その結果を表14に示す。いずれの値も比較例の場合と比較して極めて小さく改善が顕著であった。

[実施例16]

- 5 実施例13と同じ層構成の半導体薄膜で、図8に示すホール素子を作製する工程を以下に説明する。

半導体薄膜の作製手順は実施例13と同じである。ウェハプロセスは図7に示す工程図に基づき実施した。まず、金属電極層がInAs層と接触する部分よりわずかに大きい領域が開口部となっているレジストパターンを半導体薄膜上に形成した後(S701)、不要なGaAs_{0.02}Sb_{0.98}層とAl_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}層をHCl系エッチング液でエッチングして金属電極層と接触するInAs表面を露出させた(S702, S703)。

次に、ウェハ全面にプラズマCVD法を用いて第一保護層47としてのSiO₂を500nm形成した(S704)。次に、感磁部(電極接触部を含む)の形状をしたレジストパターンを形成した後(S705)、CF₄とO₂の混合ガスを用いた反応性イオンエッチング法によりSiO₂層の不要部分をエッチングし、次いでレジストを除去することによりハードマスクを形成した(S706)。このハードマスクを用いてイオンミリング法によりGaAs基板41までメサエッチングを行い感磁部を形成した(S707, S708)。イオンミリングにより半導体薄膜をエッチングする際、ハードマスクのSiO₂層もエッチングされ残り膜厚はおおよそ100nmであった。

次いで、ウェハ全面にプラズマCVD法を用いて、第二保護層48としてのSi₃N₄を300nm形成した(S709)。金属電極層がInAs層と接触する部分とパッド部分が開口部となっているレジストパターンをこのSi₃N₄層上に形成した後(S710)、CF₄とO₂の混合ガスを用いた反応性イオンエッチング法によりSi₃N₄層およびSiO₂層の不要部分をエッチングし(S711)、次いで

レジストを除去した (S 7 1 2)。

さらに、真空蒸着法により T i 層 1 0 0 nm、A u 層 6 0 0 nm を連続蒸着し、通常のリフトオフ法により金属電極層 3 3 のパターンを形成した (S 7 1 3, S 7 1 4)。最後に、ウェハに A r 雰囲気中で 2 5 0 °C、2 時間のアニールを施してホール素子を製作した。

このような方法でウェハ上に多数製作したホール素子の感磁部の長さ (対向した電極間長) は 9 5 μ m、幅は 3 5 μ m である。これらホール素子を、ダンシング、ダイボンド、ワイヤボンド、ついでトランスファーモールドを行い、エポキシ樹脂でモールドされたホール素子を製作した。

- 10 上述した方法で作製されたホール素子の感度を、5 0 mT の磁場中で 3 V の入力電圧を加えて測定したところ、1 2 0 mV の出力電圧が得られた。また、ホール素子の不平衡電圧変動 ΔV_u と入力抵抗変動 ΔR_{in} の測定を実施例 1 3 と同様な条件で行った。5 0 素子における測定結果を ΔV_u は標準偏差で、 ΔR_{in} は平均値で評価し、その結果を表 1 4 に示す。いずれの値も比較例の場合と比較して極めて小さく、顕著な改善が見られた。

[実施例 1 7]

実施例 1 4 と同じ層構成の半導体薄膜で、図 8 に示すホール素子を作製する工程を以下に説明する。

- 20 半導体薄膜の作製手順は実施例 1 4 と同じである。ウェハプロセスは図 7 に示す工程図に基づき実施した。まず、金属電極層が I n A s 層 4 3 と接触する部分よりわずかに大きい領域が開口部となっているレジストパターンを半導体薄膜上に形成した後 (S 7 0 1)、不要な G a A s 層 4 5 と一部の $Al_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}$ 層 4 4 をイオンミリング法で、残りの $Al_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}$ 層 4 4 を H C l 系エッチング液でエッチングして金属電極層と接触する I n A s 表面を露出させた (S 7 0 2, S 7 0 3)。

次に、ウェハ全面にプラズマ C V D 法を用いて第一保護層 4 7 としての SiO_2

を500nm形成した(S704)。次に、感磁部(電極接触部を含む)の形状をしたレジストパターンを形成した後(S705)、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により SiO_2 層の不要部分をエッチングし、次いでレジストを除去することによりハードマスクを形成した(S706)。このハードマスクを用いてイオンミリング法によりGaAs基板41までメサエッチングを行い感磁部を形成した(S707, S708)。イオンミリングにより半導体薄膜をエッチングする際、ハードマスクの SiO_2 層もエッチングされ残り膜厚はおよそ100nmであった。

次いで、ウェハ全面にプラズマCVD法を用いて、第二保護層48としての Si_3N_4 を300nm形成した(S709)。金属電極層がInAs層と接触する部分とパッド部分が開口部となっているレジストパターンをこの Si_3N_4 層上に形成した後(S710)、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により Si_3N_4 層および SiO_2 層の不要部分をエッチングし(S711)、次いでレジストを除去した(S712)。

さらに、真空蒸着法によりTi層100nm、Au層600nmを連続蒸着し、通常のリフトオフ法により金属電極層33のパターンを形成した(S713, S714)。最後に、ウェハにAr雰囲気中で250℃、2時間のアニールを施してホール素子を製作した。

このような方法でウェハ上に多数製作したホール素子の感磁部の長さ(対向した電極間長)は95 μm 、幅は35 μm である。これらホール素子を、ダンシング、ダイボンド、ワイヤボンド、ついでトランスファーモールドを行い、エポキシ樹脂でモールドされたホール素子を製作した。

上述した方法で作製されたホール素子の感度を、50mTの磁場中で3Vの入力電圧を加えて測定したところ、120mVの出力電圧が得られた。また、ホール素子の不平衡電圧変動 ΔV_u と入力抵抗変動 ΔR_{in} の測定を実施例13と同様な条件で行った。50素子における測定結果を ΔV_u は標準偏差で、 ΔR_{in} は平均

値で評価し、その結果を表14に示す。いずれの値も比較例の場合と比較して極めて小さく、顕著な改善が見られた。

〔実施例18〕

実施例13と同じ層構成の半導体薄膜を用いて、図10に示すホール素子を作製する工程を以下に説明する。

半導体薄膜の作製手順は実施例13と同じである。ウェハプロセスは図9に示す工程図に基づき実施した。まず、ウェハ全面にプラズマCVD法を用いて第一保護層57としての SiO_2 を500nm形成した(S901)。次に、感磁部(電極接触部を含む)の形状をしたレジストパターンを形成した後(S902)、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により SiO_2 層の不要部分をエッチングし、次いでレジストを除去することによりハードマスクを形成した(S903)。このハードマスクを用いてイオンミリング法によりGaAs基板51までメサエッチングを行い感磁部を形成した(S904, S905)。イオンミリングにより半導体薄膜をエッチングする際、ハードマスクの SiO_2 層もエッチングされ残り膜厚はおよそ100nmであった。

次に、ウェハ全面にプラズマCVD法を用いて、第二保護層58としての Si_3N_4 を300nm形成した(S906)。金属電極層がInAs層と接触する部分とパッド部分が開口部となっているレジストパターンをこの Si_3N_4 層上に形成した後(S907)、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により Si_3N_4 層および SiO_2 層の不要部分をエッチングし(S908)、次いでレジストを除去した(S909)。その後、不要な $\text{GaAs}_{0.02}\text{Sb}_{0.98}$ 層42dと $\text{Al}_{0.57}\text{Ga}_{0.43}\text{As}_{0.04}\text{Sb}_{0.96}$ 層42cをHCl系エッチング液でエッチングして金属電極層と接触するInAs表面を露出させた(S910)。

さらに、真空蒸着法によりTi層100nm、Au層600nmを連続蒸着し、通常のリフトオフ法により金属電極層56のパターンを形成した(S911, S912)。最後に、ウェハにAr雰囲気中で250℃、2時間のアニールを施してホー

ル素子を製作した。

このような方法でウェハ上に多数製作したホール素子の感磁部の長さ（対向した電極間長）は $95\text{ }\mu\text{m}$ 、幅は $35\text{ }\mu\text{m}$ である。これらホール素子を、ダンシング、ダイボンド、ワイヤボンド、ついでトランスファーモールドを行い、エポキシ樹脂
5 でモールドされたホール素子を製作した。

上述した方法で作製されたホール素子の感度を、 50 mT の磁場中で 3 V の入力電圧を加えて測定したところ、 120 mV の出力電圧が得られた。また、ホール素子の不平衡電圧変動 ΔV_u と入力抵抗変動 ΔR_{in} の測定を実施例 13 と同様な条件で行った。 50 素子における測定結果を ΔV_u は標準偏差で、 ΔR_{in} は平均
10 値で評価し、その結果を表 14 に示す。いずれの値も比較例の場合と比較して極めて小さかった。

[実施例 19]

実施例 13 と同じ層構成の半導体薄膜を用いて、図 13 に示すホール素子を作製する工程を以下に説明する。

15 半導体薄膜の作製手順は実施例 13 と同じである。ウェハプロセスは図 11 に示す工程図に基づき実施した。まず、ウェハ全面にプラズマ CVD 法を用いて第一保護層 67 としての SiO_2 を 500 nm 形成した (S1101)。次に、感磁部（電極接触部を含む）の形状をしたレジストパターンを形成した後 (S1102)、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により SiO_2 層の不要
20 部分をエッチングし、次いでレジストを除去することによりハードマスクを形成した (S1103)。このハードマスクを用いてイオンミリング法により GaAs 基板 51 までメサエッチングを行い感磁部を形成した (S1104, S1105)。イオンミリングにより半導体薄膜をエッチングする際、ハードマスクの SiO_2 層もエッチングされ残り膜厚はおよそ 100 nm であった。

25 次に、金属電極層が InAs 層と接触する部分よりわずかに大きい領域が開口部となっているレジストパターンを該 SiO_2 層上に形成した後 (S1106)、 CF

SiO_2 と O_2 の混合ガスを用いた反応性イオンエッチング法により SiO_2 層の不要部分をエッチングし(S 1 1 0 7)、次いでレジストを除去した(S 1 1 0 8)。その後、不要な $\text{GaAs}_{0.02}\text{Sb}_{0.98}$ 層5 2 dと $\text{Al}_{0.57}\text{Ga}_{0.43}\text{As}_{0.04}\text{Sb}_{0.96}$ 層5 2 cをHCl系エッチング液でエッチングして金属電極層と接触するIn As表面を露出させた(S 1 1 0 9)。

次に、ウェハ全面にプラズマCVD法を用いて、第二保護層6 7の Si_3N_4 を300 nm形成した(S 1 1 1 0)。金属電極層がIn As層と接触する部分とパッド部分が開口部となっているレジストパターンをこの Si_3N_4 層上に形成した後(S 1 1 1 1)、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により

10 Si_3N_4 層および SiO_2 層の不要部分をエッチングし(S 1 1 1 2)、次いでレジストを除去した(S 1 1 1 3)。

さらに、真空蒸着法によりTi層100 nm、Au層600 nmを連続蒸着し、通常のリフトオフ法により金属電極層5 3のパターンを形成した(S 1 1 1 4, S 1 1 1 5)。最後に、ウェハにAr雰囲気中で250℃、2時間のアニールを施してホール素子を製作した。

15

このような方法でウェハ上に多数製作したホール素子の感磁部の長さ(対向した電極間長)は95 μm 、幅は35 μm である。これらホール素子を、ダンシング、ダイボンド、ワイヤボンド、ついでトランスファーモールドを行い、エポキシ樹脂でモールドされたホール素子を製作した。

20 上述した方法で作製されたホール素子の感度を、50 mTの磁場中で3 Vの入力電圧を加えて測定したところ、120 mVの出力電圧が得られた。また、ホール素子の不平衡電圧変動 ΔV_u と入力抵抗変動 ΔR_{in} の測定を実施例1 3と同様な条件で行った。50素子における測定結果を ΔV_u は標準偏差で、 ΔR_{in} は平均値で評価し、その結果を表1 4に示す。いずれの値も比較例の場合と比較して極めて小さかった。

25

[実施例2 0]

実施例 1 3 と同じ層構成の半導体薄膜を用いて、図 1 4 に示すホール素子を作製する工程を以下に説明する。

半導体薄膜の作製手順は実施例 1 3 と同じである。ウェハプロセスは図 1 2 に示す工程図に基づき実施した。まず、ウェハ全面にプラズマ CVD 法を用いて第一保護層 7 7 としての SiO_2 を 500 nm 形成した (S 1 2 0 1)。次に、感磁部（電極接触部を含む）の形状をしたレジストパターンを形成した後 (S 1 2 0 2)、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により SiO_2 層の不要部分をエッチングし、次いでレジストを除去することによりハードマスクを形成した (S 1 2 0 3)。このハードマスクを用いてイオンミリング法により GaAs 基板 6 1 までメサエッチングを行い感磁部を形成した (S 1 2 0 4, S 1 2 0 5)。イオンミリングにより半導体薄膜をエッチングする際、ハードマスクの SiO_2 層もエッチングされ残り膜厚はおおよそ 100 nm であった。

次に、ウェハ全面にプラズマ CVD 法を用いて、第二保護層 7 8 としての Si_3N_4 を 100 nm 形成した (S 1 2 0 6)。金属電極層が InAs 層と接触する部分よりわずかに大きい領域が開口部となっているレジストパターンをこの Si_3N_4 層上に形成した後 (S 1 2 0 7)、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により Si_3N_4 層および SiO_2 層の不要部分をエッチングし (S 1 2 0 8)、次いでレジストを除去した (S 1 2 0 9)。その後、不要な $\text{GaAs}_{0.02}\text{Sb}_{0.98}$ 層 7 5 と $\text{Al}_{0.57}\text{Ga}_{0.43}\text{As}_{0.04}\text{Sb}_{0.96}$ 層 7 4 を HCl 系エッチング液でエッチングして金属電極層と接触する InAs 表面を露出させた (S 1 2 1 0)。

次いで、ウェハ全面にプラズマ CVD 法を用いて、第三保護層 7 9 としての Si_3N_4 を 200 nm 形成した (S 1 2 1 1)。金属電極層が InAs 層と接触する部分とパッド部分が開口部となっているレジストパターンをこの Si_3N_4 層上に形成した後 (S 1 2 1 2)、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により Si_3N_4 層の不要部分をエッチングし、次いでレジストを除去した (S

1 2 1 3)。

さらに、真空蒸着法によりTi層100nm、Au層600nmを連続蒸着し、通常のリフトオフ法により金属電極層63のパターンを形成した(S1214, S1215)。最後に、ウェハにAr雰囲気中で250℃、2時間のアニールを施してホール素子を製作した。

このような方法でウェハ上に多数製作したホール素子の感磁部の長さ(対向した電極間長)は95μm、幅は35μmである。これらホール素子を、ダンシング、ダイボンド、ワイヤボンド、ついでトランスファーモールドを行い、エポキシ樹脂でモールドされたホール素子を製作した。

10 上述した方法で作製されたホール素子の感度を、50mTの磁場中で3Vの入力電圧を加えて測定したところ、120mVの出力電圧が得られた。また、ホール素子の不平衡電圧変動 ΔV_u と入力抵抗変動 ΔR_{in} の測定を実施例13と同様な条件で行った。50素子における測定結果を ΔV_u は標準偏差で、 ΔR_{in} は平均値で評価し、その結果を表14に示す。いずれの値も比較例の場合と比較して極めて小さかった。

[実施例21]

実施例14と同じ層構成の半導体薄膜を用いて、図14に示すホール素子を作製する工程を以下に説明する。

半導体薄膜の作製手順は実施例14と同じである。ウェハプロセスは図12に示す工程図に基づき実施した。まず、ウェハ全面にプラズマCVD法を用いて第一保護層77としてのSiO₂を500nm形成した(S1201)。次に、感磁部(電極接触部を含む)の形状をしたレジストパターンを形成した後(S1202)、CF₄とO₂の混合ガスを用いた反応性イオンエッチング法によりSiO₂層の不要部分をエッチングし、次いでレジストを除去することによりハードマスクを形成した(S1203)。このハードマスクを用いてイオンミリング法によりGaAs基板71までメサエッチングを行い感磁部を形成した(S1204, S1205)。

イオンミリングにより半導体薄膜をエッチングする際、ハードマスクの SiO_2 層もエッチングされ残り膜厚はおよそ100nmであった。

次に、ウェハ全面にプラズマCVD法を用いて、第二保護層78としての Si_3N_4 を100nm形成した(S1206)。金属電極層がInAs層と接触する部分よりわずかに大きい領域が開口部となっているレジストパターンをこの Si_3N_4 層上に形成した後(S1207)、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により Si_3N_4 層および SiO_2 層の不要部分をエッチングし(S1208)、次いでレジストを除去した(S1209)。その後、不要なGaAs層75と一部の $\text{Al}_{0.57}\text{Ga}_{0.43}\text{As}_{0.04}\text{Sb}_{0.96}$ 層74をイオンミリング法で、残りの $\text{Al}_{0.57}\text{Ga}_{0.43}\text{As}_{0.04}\text{Sb}_{0.96}$ 層74をHCl系エッチング液でエッチングして金属電極層と接触するInAs表面を露出させた(S1210)。

次いで、ウェハ全面にプラズマCVD法を用いて、第三保護層79としての Si_3N_4 を200nm形成した(S1211)。金属電極層がInAs層と接触する部分とパッド部分が開口部となっているレジストパターンをこの Si_3N_4 層上に形成した後(S1212)、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により Si_3N_4 層の不要部分をエッチングし(S1210)、次いでレジストを除去した。

さらに、真空蒸着法によりTi層100nm、Au層600nmを連続蒸着し、通常のリフトオフ法により金属電極層63のパターンを形成した(S1214, S1215)。最後に、ウェハにAr雰囲気中で250℃、2時間のアニールを施してホール素子を製作した。

このような方法でウェハ上に多数製作したホール素子の感磁部の長さ(対向した電極間長)は95μm、幅は35μmである。これらホール素子を、ダンシング、ダイボンド、ワイヤボンド、ついでトランスファーモールドを行い、エポキシ樹脂でモールドされたホール素子を製作した。

上述した方法で作製されたホール素子の感度を、50mTの磁場中で3Vの入力

電圧を加えて測定したところ、120mVの出力電圧が得られた。また、ホール素子の不平衡電圧変動 ΔV_u と入力抵抗変動 ΔR_{in} の測定を実施例13と同様な条件で行った。50素子における測定結果を ΔV_u は標準偏差で、 ΔR_{in} は平均値で評価し、その結果を表14に示す。いずれの値も比較例の場合と比較して極めて小さかった。

[実施例22]

ホール素子を使ったポインティングデバイスの簡単なモデルを作製した。

図21は、ホール素子を使った簡単なポインティングデバイスの模式図で、図中符号141はホール素子、142はフェライト磁石、143はプリント基板を示している。

図21に示すように、プリント基板143上に2つのホール素子141、141を6mm離して配置し、フェライト磁石142をプリント基板143から1.5mmの高さに取り付けた。フェライト磁石142は、プリント基板143と平行で2つのホール素子141、141を結ぶ線上で動かすことができる。この線上にX軸を取り、フェライト磁石142と2つのホール素子141、141それぞれとの距離が等しいときのフェライト磁石142の位置を原点とする。このとき2つのホール素子141、141の出力差でフェライト磁石142の位置を知ることができる。

ホール素子は、感磁部が上述したInAs多層膜構造のホール素子を用いた場合と、GaAsのホール素子を用いた場合について測定した。

図22は、フェライト磁石の位置による2つのホール素子の出力差を測定した結果を示す図である。

入力抵抗 $R \times$ 感度 V_h の値は、InAs多層構造のホール素子が35 [$\Omega \cdot V$]、GaAsのホール素子が8 [$\Omega \cdot V$]である。InAs多層構造の素子は入力抵抗950 Ω 、感度37mV (1V入力、50mT)、GaAsのホール素子は入力抵抗750 Ω 、感度11mV (1V入力、50mT)の特性のものを使用し、入力電圧をそれぞれ5Vに設定した。

InAs 多層構造のホール素子は、GaAs ホール素子に比べて抵抗は大きい、InAs 多層構造のホール素子の方が格段に大きな出力差が得られた。これは InAs 多層構造のホール素子が GaAs ホール素子に比べて消費電力、感度の両面で有利であることを示している。

5 上述したホール素子を用いて携帯機器用途向け開閉スイッチを作製することもできる。図 23 は、ホール素子を用いて携帯機器用途向け開閉スイッチの一例を示す図で、図中符号 161 はホール素子、162 は磁石、163 は携帯機器本体、164 は携帯機器の蓋を示している。ホール素子 161 と磁石 162 とは対向位置に配置されていて、両者の接近又は離反にともなってスイッチ機構として機能する。

10 また、上述したホール素子を用いて携帯機器用途向け地磁気センサを作製することもできる。図 24 は、ホール素子を用いて携帯機器用途向け地磁気センサの一例を示す図で、図中符号 171 はホール素子、172 は制御用 IC を示している。地磁気の X、Y、Z 方向をホール素子 171 で検出するように構成されている。

15 なお、図 23 及び図 24 に示した開閉スイッチ及び地磁気センサは、一例を示したものであり、この構成に限定されることなく、その他の適用例が考えられることは明かである。

さらに、上述した携帯機器用途向けポインティングデバイス、開閉スイッチ、地磁気センサを組み込んで携帯機器を作製することも可能である。

20 産業上の利用可能性

In_{x1}Ga_{1-x1}As_{y1}Sb_{1-y1} (0 ≤ x1 ≤ 1、0 ≤ y1 ≤ 1) からなる活性層の上下に、活性層より大きな禁制帯幅を有する化合物半導体層を配置した半導体薄膜と、金属電極層および保護層からなるホール素子において、金属電極層が半導体薄膜とは活性層のみで接触し、接触面以外の半導体薄膜の上面および側面のすべてが保護層で直接被覆されているので、活性層の上下に配置された禁制帯幅の大きな化合物半導体層全面（表面および側面）が保護層で被覆され、金属電極層が化合

25

物半導体層と接触することなく活性層のみと接触することにより、電流が安定して活性層を流れる素子構造を実現したため、 $V_{u+r} V_u$ バラツキの小さな化合物半導体ホール素子を提供することができる。

特に、 $In_{x_1}Ga_{1-x_1}As_{y_1}Sb_{1-y_1}$ ($0 \leq x_1 \leq 1$, $0 \leq y_1 \leq 1$) からなる活性層の上下に、活性層より大きな禁制帯幅を有するSbを含む化合物半導体層を配置した半導体薄膜を有するホール素子においては、金属電極層が半導体薄膜とは活性層のみで接触し、接触面以外は半導体薄膜の上面と側面のすべてが保護層で直接被覆されているので、活性層の上下に配置された禁制帯幅の大きな化合物半導体層全面（表面および側面）が保護層で被覆される構造を実現し、素子特性の変動が小さく信頼性の高い、特に高温高湿環境下においても特性変動が小さい化合物半導体ホール素子を提供することができる。

化合物半導体の積層構造体を、Al、Ga、In、As及びPの5種のうちの少なくとも2種の元素とSbとで構成した第1及び第2の化合物半導体層と、 $In_xGa_{1-x}As_ySb_{1-y}$ ($0.8 \leq x \leq 1.0$, $0.8 \leq y \leq 1.0$) で表記される組成の多元系化合物半導体の活性層とを積層させ、第1及び第2の化合物半導体層と活性層との格子定数差が共に0.0～1.2%の範囲内となるように設定し、かつ、活性層厚を30～100nmの範囲に設定したので、量子井戸型化合物半導体積層体の物性制御の再現性を高めることが可能となり、電子移動度とシート抵抗が高く、かつ、温度特性に優れた量子井戸型化合物半導体の積層体の安定供給を可能にし、これにより、高感度で消費電力が低く、かつ、温度特性にも優れた磁気センサの工業的提供が可能となる。

また、基板上に形成され、膜厚が30nmより大きく100nmより小さい $In_xGa_{1-x}As_ySb_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 層を活性層とし、活性層を化合物半導体で挟んだ多層構造を有する感磁部を備え、入力抵抗 $R \times$ 感度 V_h が20 [$\Omega \cdot V$]（入力電圧1V、印加磁場50mT）以上とすることにより、従来に比べてホール素子を用いた携帯機器用デバイス設計が容易になる。

請 求 の 範 囲

1. 基板上に、第1の化合物半導体層と、活性層と、第2の化合物半導体層とが
5 順次積層された化合物半導体の積層構造体であって、
前記第1及び第2の化合物半導体層の各々は、Al、Ga、In、As及びPの
5種のうちの少なくとも2種の元素とSbとで構成される化合物半導体層であり、
前記活性層は、 $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0.8 \leq x \leq 1.0$, $0.8 \leq y$
 ≤ 1.0) で表記される組成の化合物半導体であって、
10 前記第1及び第2の化合物半導体層の各々は、前記活性層に比較して、広いバン
ドギャップと、少なくとも5倍以上の抵抗値とを有しており、
前記第1及び第2の化合物半導体層と前記活性層との格子定数差が共に0.0～
1.2%の範囲内に設定されており、
前記活性層は、30nmより厚く100nmより薄い層厚である化合物半導体積
15 層構造体。
2. 前記第2の化合物半導体層上に、 $\text{In}_w\text{Ga}_{1-w}\text{As}$ ($0 \leq w \leq 1$) の第3
の化合物半導体層が積層されている請求項1の化合物半導体積層構造体。
3. 前記活性層を構成する化合物半導体は、InAsである請求項1の化合物半
導体積層構造体。
20 4. 前記第1及び第2の化合物半導体層の組成が、 $\text{Al}_z\text{Ga}_{1-z}\text{As}_y\text{Sb}_{1-y}$
($0.0 \leq z \leq 1.0$, $0.0 \leq y \leq 0.3$) である請求項1, 2又は3の化合物
半導体積層構造体。
5. 請求項1乃至4の化合物半導体積層構造体の活性層に電極を備えて構成した
磁気センサ。
25 6. 請求項5の磁気センサを備える携帯機器。
7. 前記携帯機器が携帯電話である請求項6の携帯機器。

8. $\text{In}_{x_1}\text{Ga}_{1-x_1}\text{As}_{y_1}\text{Sb}_{1-y_1}$ ($0 \leq x_1 \leq 1$, $0 \leq y_1 \leq 1$) からなる活性層と、その上下に該活性層より大きな禁制帯幅を有する化合物半導体層を配置した半導体薄膜と、金属電極層と、保護層と、を有し、前記金属電極層が前記半導体薄膜とは前記活性層のみで接触し、該接触面以外の半導体薄膜の上面および側面のすべてが前記保護層で直接被覆されているホール素子。

9. 前記化合物半導体層は、Sbを含む化合物半導体層である請求項8のホール素子。

10. 前記活性層の上に形成される化合物半導体層が少なくとも2層から成り、その表面層が $\text{In}_{x_2}\text{Ga}_{1-x_2}\text{As}$ ($0 \leq x_2 \leq 1$) である請求項9のホール素子。

11. 前記半導体薄膜がGaAsまたはSiの基板上に形成され、前記活性層がInAsで、前記化合物半導体層が $\text{Al}_{z_1}\text{Ga}_{1-z_1}\text{As}_{y_2}\text{Sb}_{1-y_2}$ ($0 \leq z_1 \leq 1$, $0 \leq y_2 \leq 0.3$) である請求項8、9または10のホール素子。

12. $\text{In}_{x_1}\text{Ga}_{1-x_1}\text{As}_{y_1}\text{Sb}_{1-y_1}$ ($0 \leq x_1 \leq 1$, $0 \leq y_1 \leq 1$) からなる活性層と、その上下に該活性層より大きな禁制帯幅を有する化合物半導体層を配置した半導体薄膜と、金属電極層と、保護層と、を有し、前記活性層の上に形成される化合物半導体層が少なくとも2層から成り、その表面層が $\text{In}_{x_2}\text{Ga}_{1-x_2}\text{As}$ ($0 \leq x_2 \leq 1$) であるホール素子。

13. 基板上に形成され、膜厚が30nmより大きく100nmより小さい $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 層を活性層とし、該活性層を化合物半導体で挟んだ多層構造を有する感磁部を備え、入力抵抗 $R \times$ 感度 V_h が $20 [\Omega \cdot V]$ (入力電圧1V、印加磁場50mT) 以上であるホール素子。

14. 前記活性層の上下を、Al, Ga, In, As及びPの5種のうち少なくとも2種の元素とSbとで構成されていることを特徴とする請求項13のホール素子。

15. 請求項13又は14のホール素子を用いたポインティングデバイス。

16. 請求項13又は14のホール素子を用いたカバー開閉検知スイッチ。

17. 請求項13又は14のホール素子を用いた地磁気センサ。

18. $\text{In}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$) からなる活性層の上下に、該活性層より大きな禁制帯幅を有する化合物半導体層を配置した半導体薄膜を形成する工程と、

5 金属電極層を形成する領域の上部の化合物半導体層をエッチングして前記活性層を露出する工程と、

次いで前記活性層が露出された半導体薄膜をすべて覆うように保護層を形成する工程と

を有するホール素子の製造方法。

10 19. さらに、パターンニングした前記保護層をマスクとして用いて前記半導体薄膜の感磁部および電極接触部以外をエッチングするエッチング工程と、

前記エッチング工程で露出した基板と半導体薄膜の側面および前記保護層を第二保護層で被覆する工程と

を有する請求項18のホール素子の製造方法。

15 20. $\text{In}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$) からなる活性層の上下に、該活性層より大きな禁制帯幅を有するSbを含む化合物半導体層を配置した半導体薄膜を形成する工程と、

前記半導体薄膜の形成工程の後、第一保護層を形成する工程と、

20 パターンニングされた該第一保護層をマスクとして用いて半導体薄膜の感磁部および電極接触部以外をエッチングで除去するエッチング工程と、

エッチング工程で露出した基板と半導体薄膜および第一保護層を第二保護層で被覆する工程と

を有するホール素子の製造方法。

25 21. $\text{In}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$) からなる活性層の上下に、該活性層より大きな禁制帯幅を有するSbを含む化合物半導体層を配置した半導体薄膜を形成する工程と、

前記半導体薄膜の形成工程の後、第一保護層を形成する工程と、

パターニングされた該第一保護層をマスクとして用いて半導体薄膜の感磁部および電極接触部以外をエッチングで除去する工程と、

第一保護層および上部化合物半導体層をエッチング工程により除去し前記金属
5 電極層と接触する前記活性層を露出させる工程と、

エッチング工程で露出した基板と半導体薄膜および第一保護層を第二保護層で被覆する工程と、

前記第二保護層をパターニングして前記活性層を露出する工程と、

前記金属電極層を形成する工程と

10 を有するホール素子の製造方法。

22. $\text{In}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$) からなる活性層の上下に、該活性層より大きな禁制帯幅を有するSbを含む化合物半導体層を配置した半導体薄膜を形成する工程と、

前記半導体薄膜の形成工程の後、第一保護層を形成する工程と、

15 パターニングされた該第一保護層をマスクとして用いて半導体薄膜の感磁部および電極接触部以外をエッチング工程で除去する工程と、

エッチング工程で露出した基板と半導体薄膜および第一保護層を第二保護層で被覆する工程と、

第二保護層、第一保護層および上部化合物半導体層をエッチング工程により除去
20 し前記金属電極層と接触する前記活性層を露出させる工程と、

エッチング工程で露出した半導体薄膜および第二保護層を第三保護層で被覆する工程と、

前記第三保護層をパターニングして前記活性層を露出する工程と、

前記金属電極層を形成する工程と

25 を有するホール素子の製造方法。

23. 請求項18乃至22の化合物半導体ホール素子の製造方法において、前記

第一保護層が SiO_2 で、前記第二保護層が Si_3N_4 であるホール素子の製造方法。

24. 前記半導体薄膜が GaAs または Si の基板上に形成され、前記活性層が InAs で、前記化合物半導体層が $\text{Al}_{z1}\text{Ga}_{1-z1}\text{As}_{y2}\text{Sb}_{1-y2}$ ($0 \leq z1 \leq 1$, $0 \leq y2 \leq 0.3$) である請求項18乃至22のホール素子の製造方法。

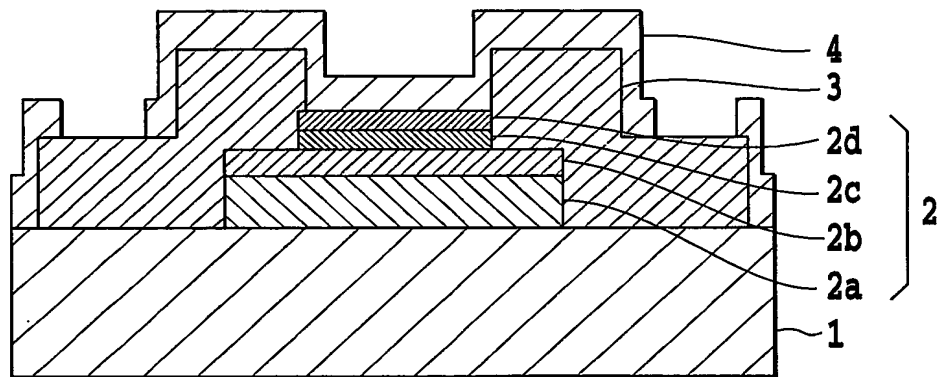


FIG.1

2/24



FIG.2

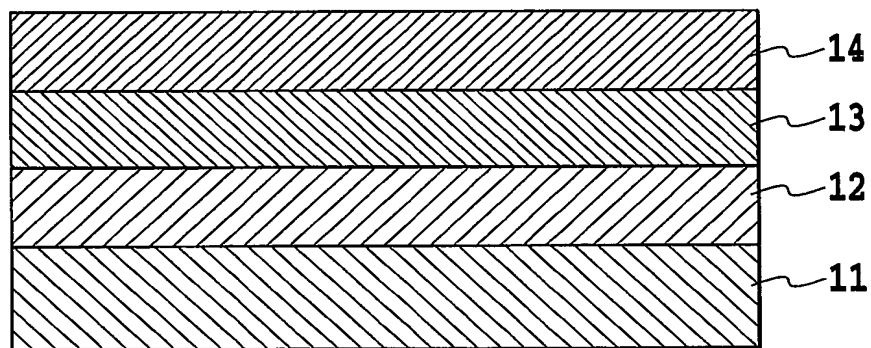


FIG.3

4/24

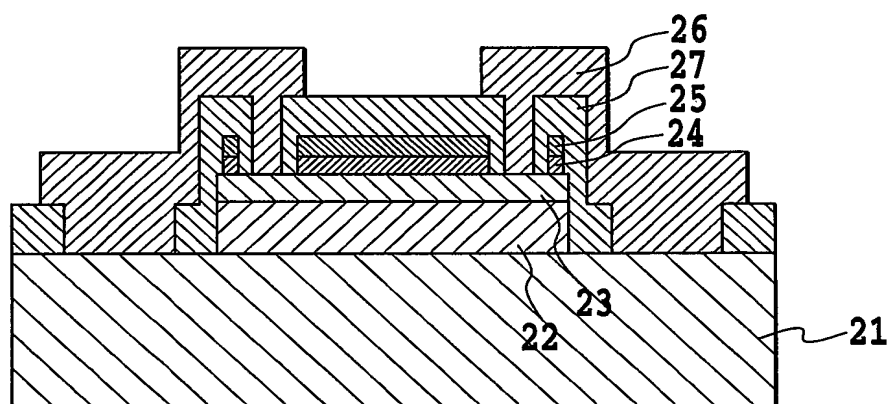


FIG.4

5/24

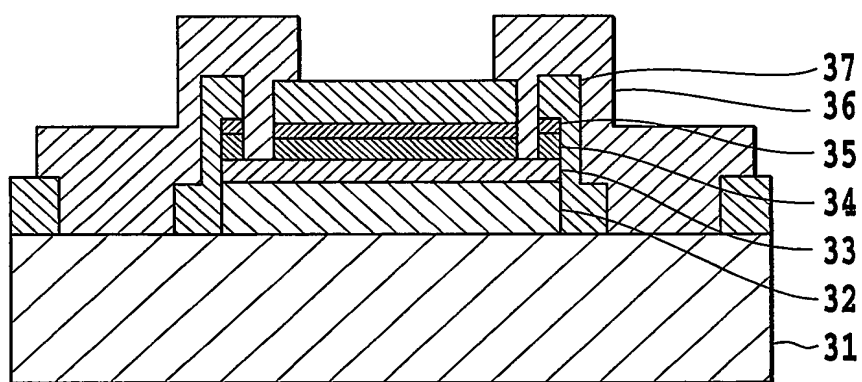


FIG.5

6/24

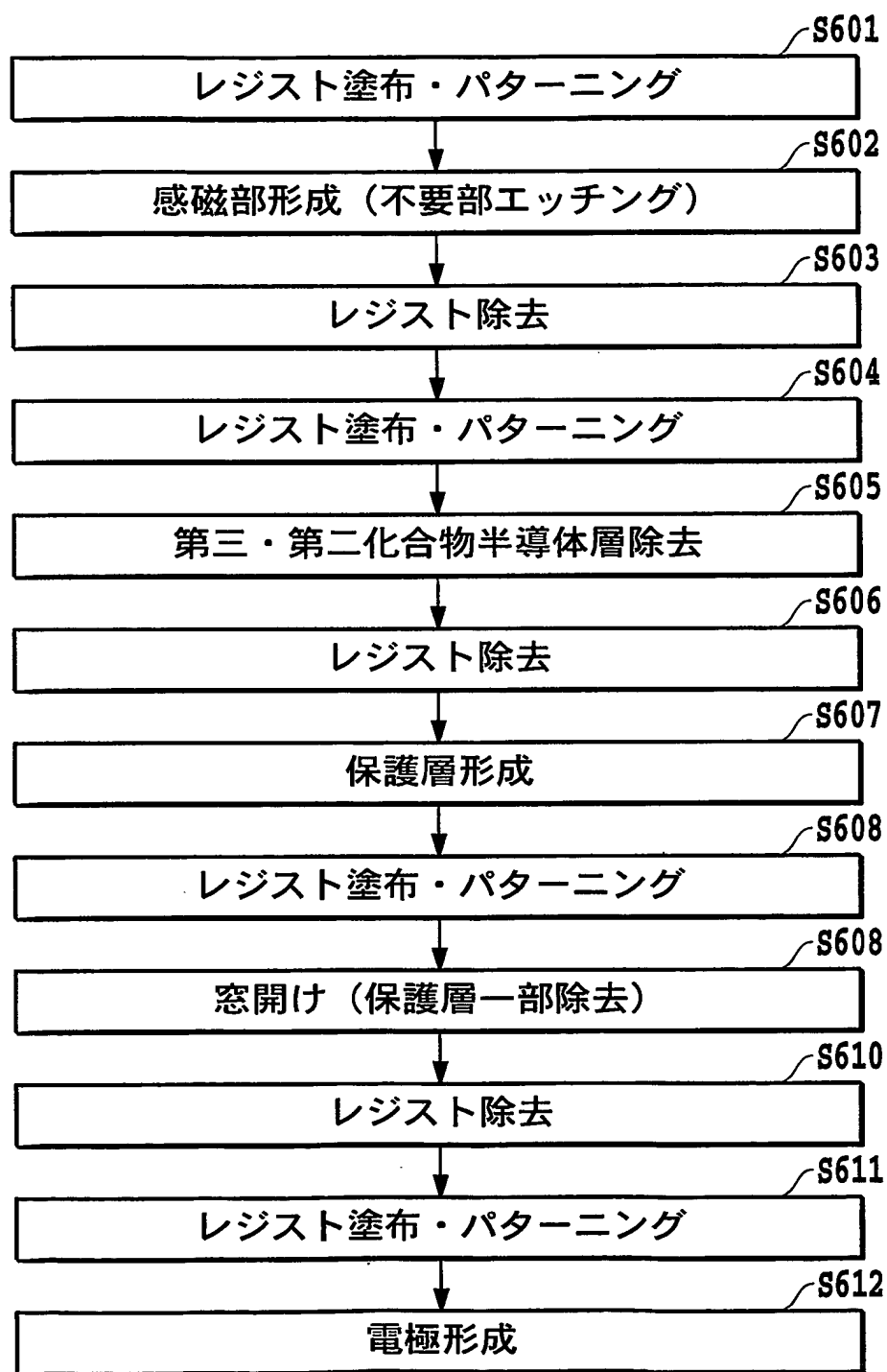


FIG.6

7/24

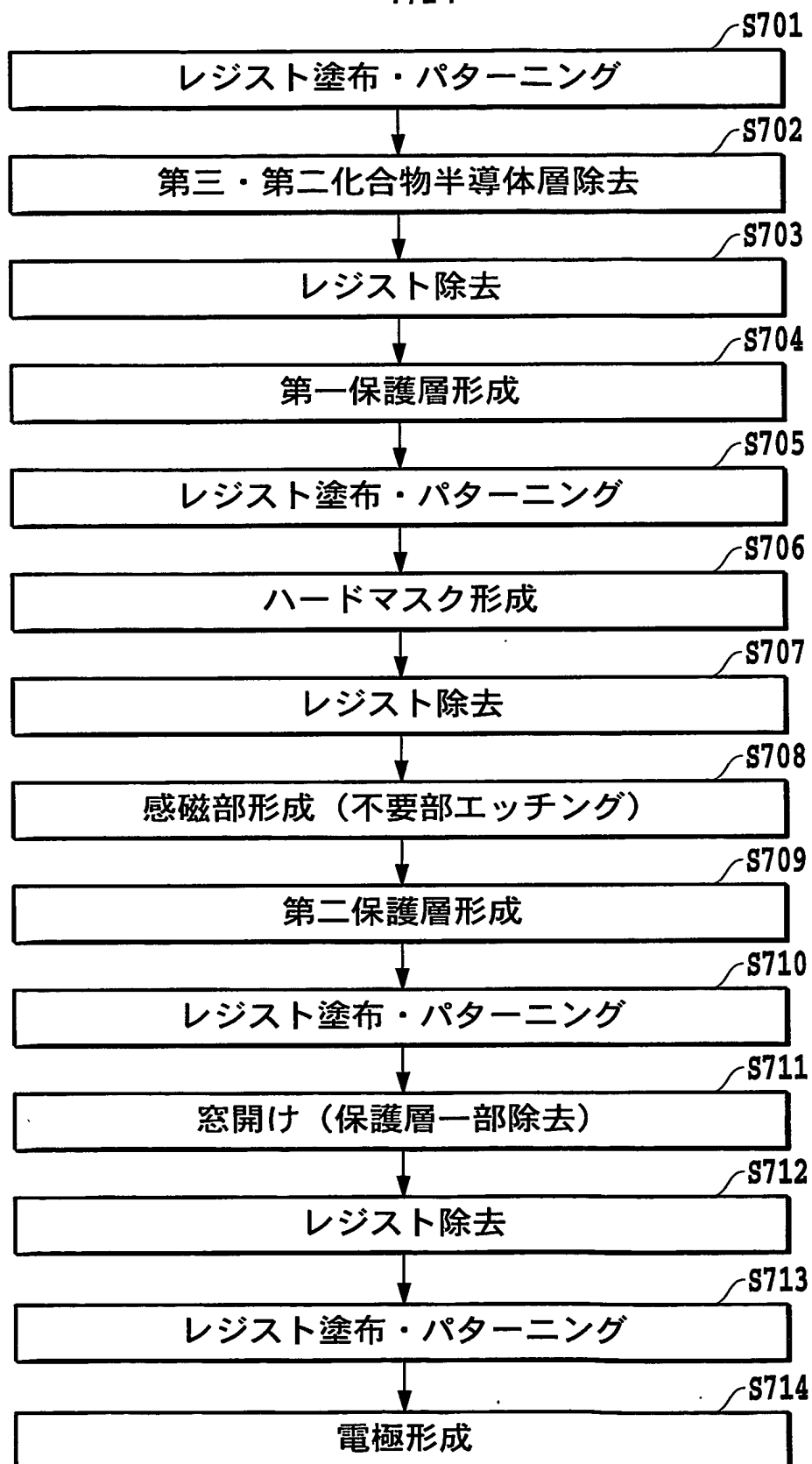


FIG.7

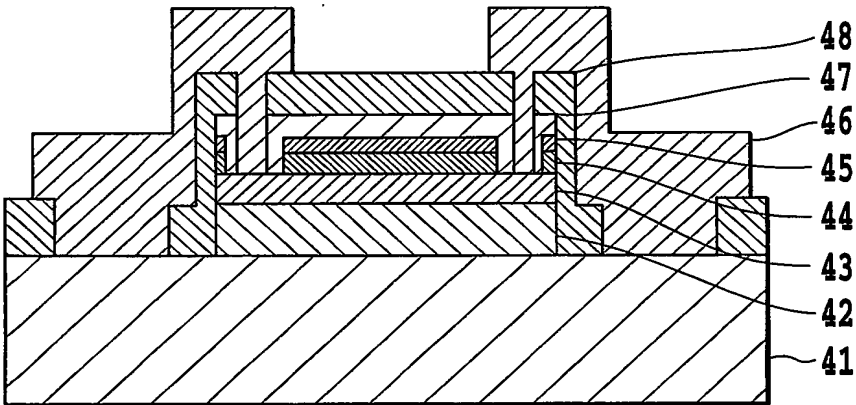


FIG.8

9/24

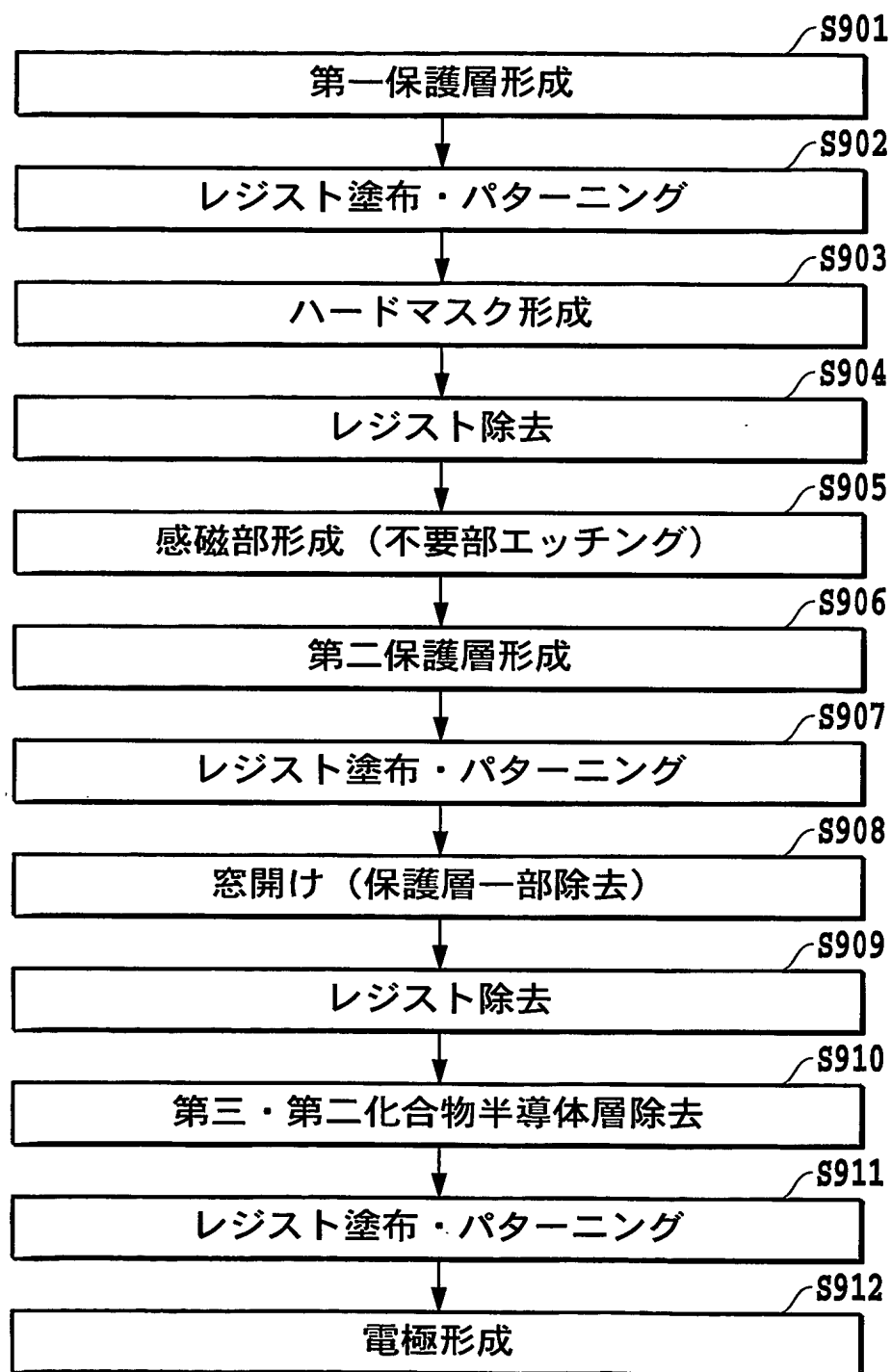


FIG.9

10/24

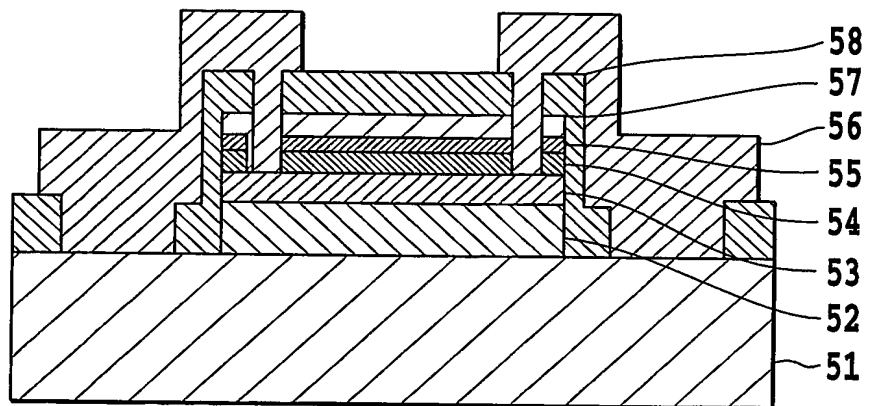


FIG.10

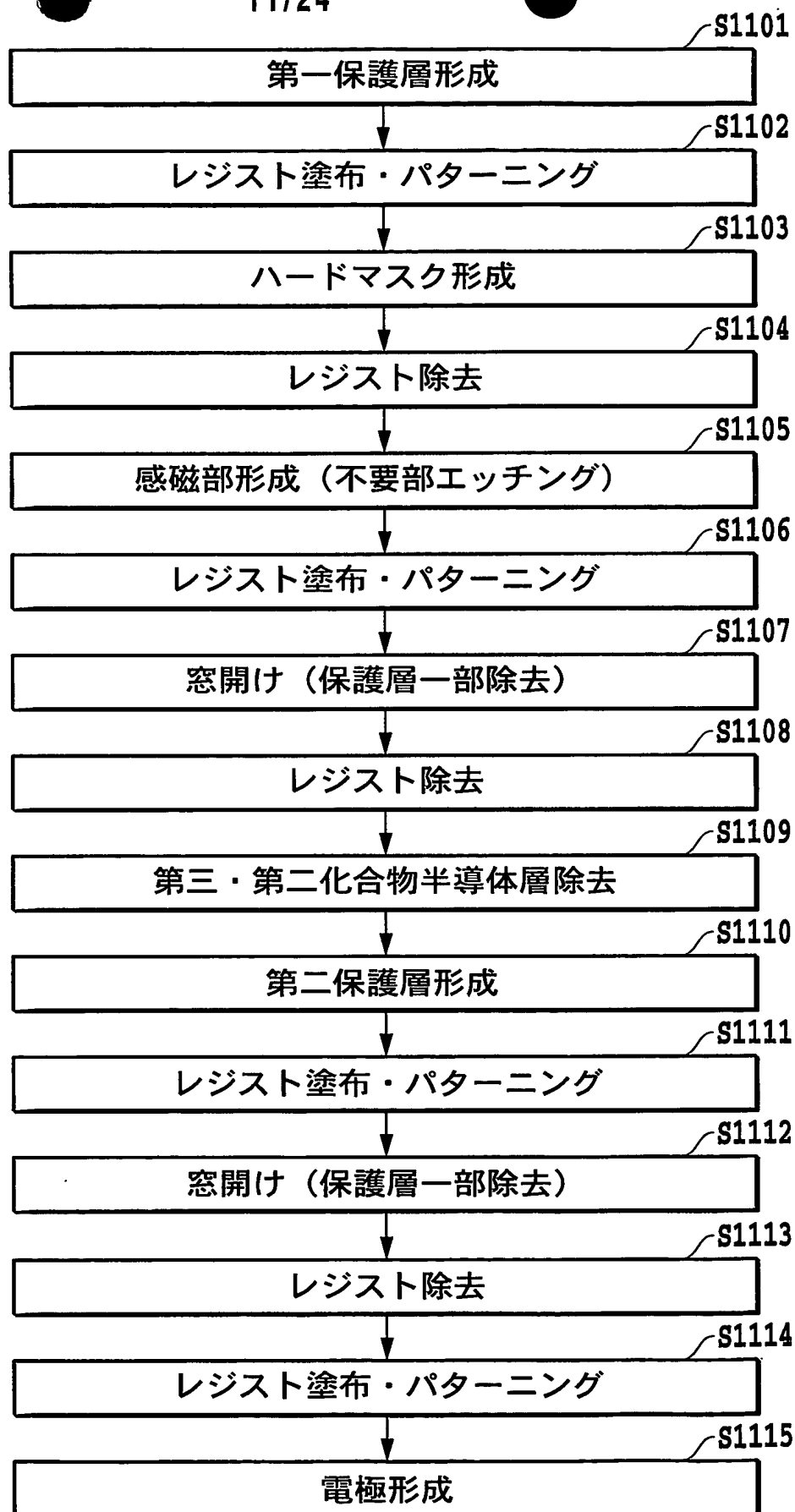


FIG.11

12/24



FIG.12

13/24

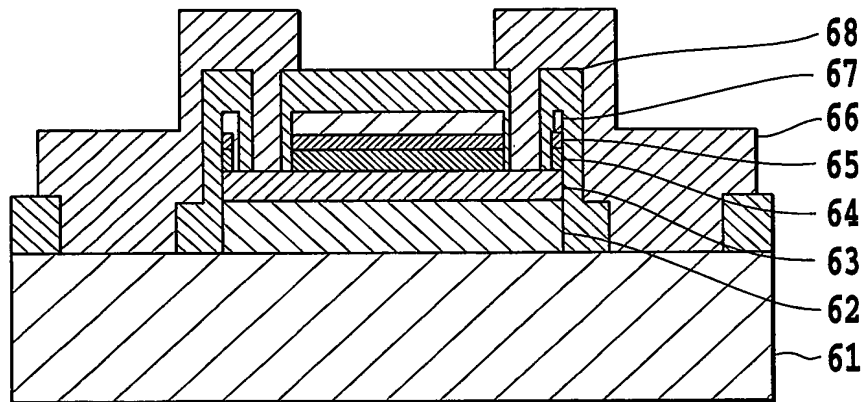


FIG.13

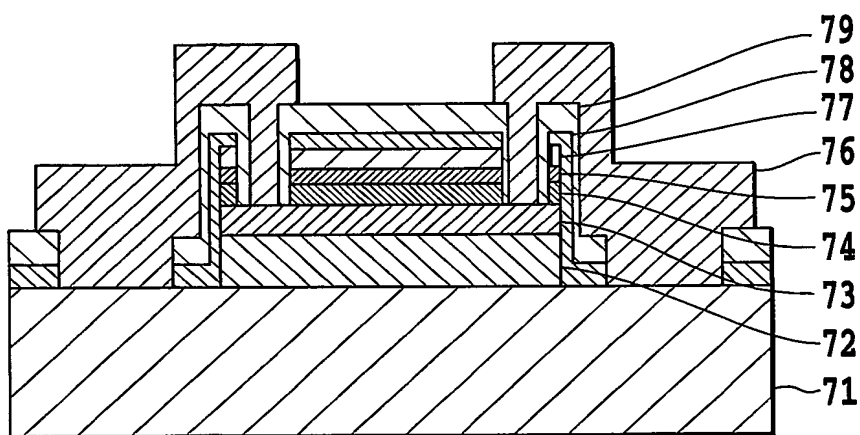


FIG.14

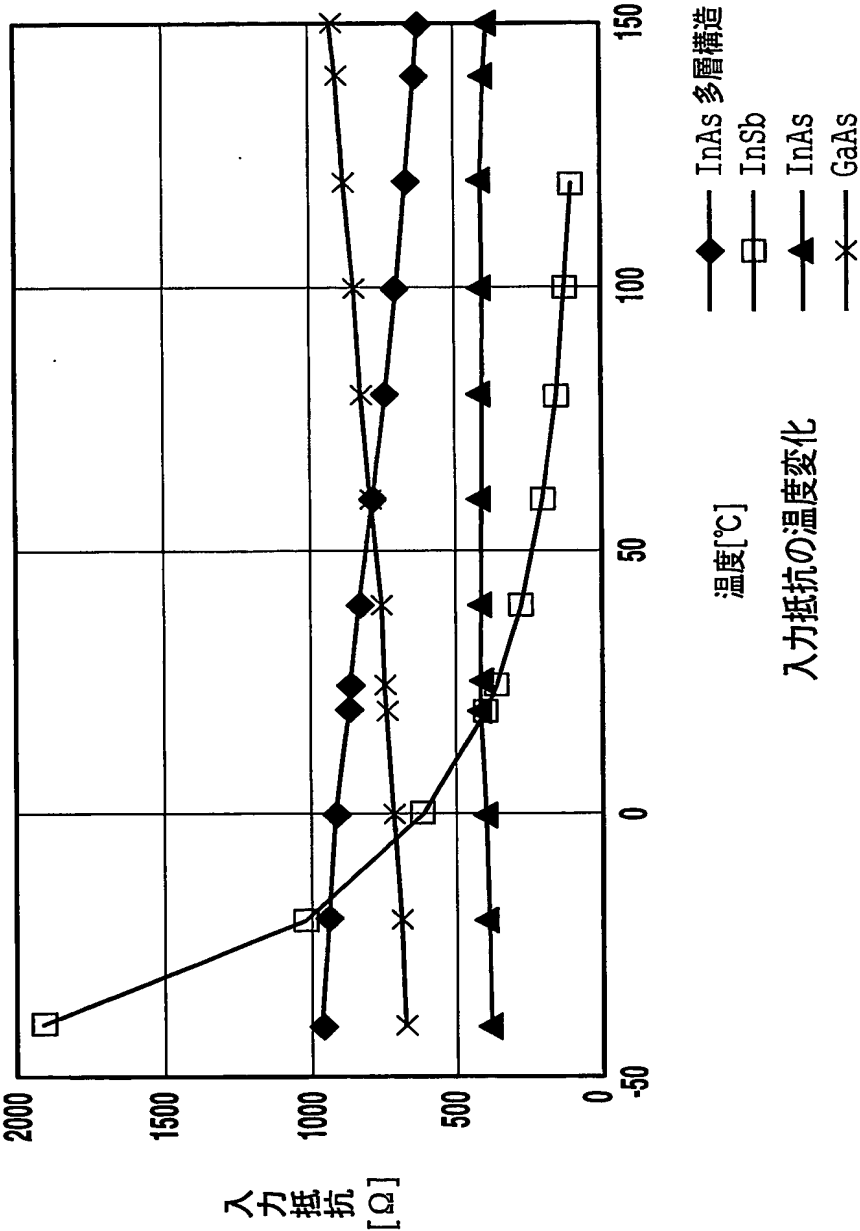


FIG.15

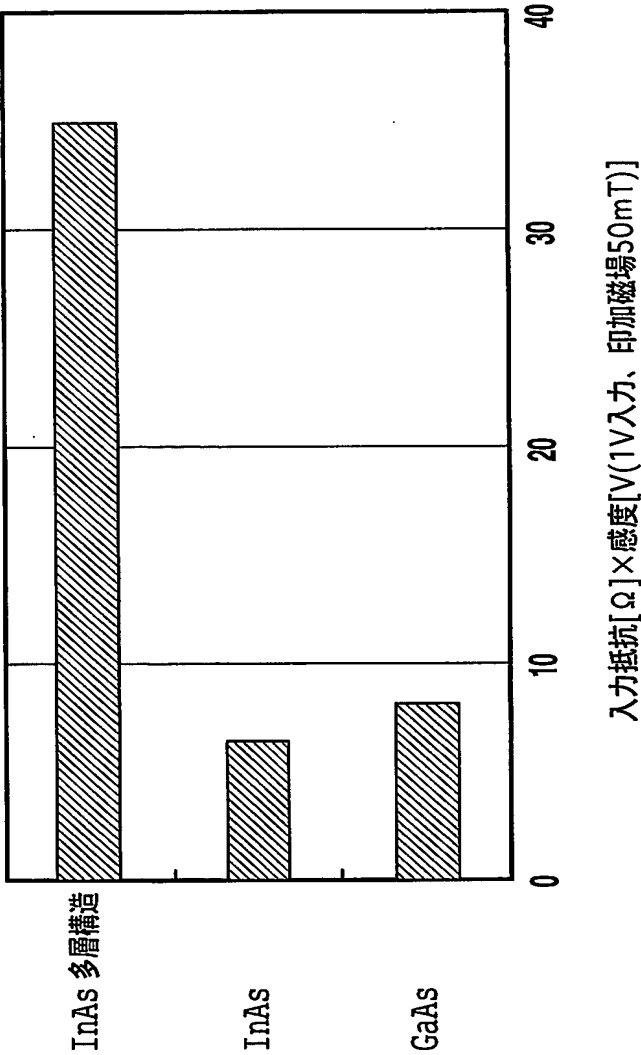


FIG.16

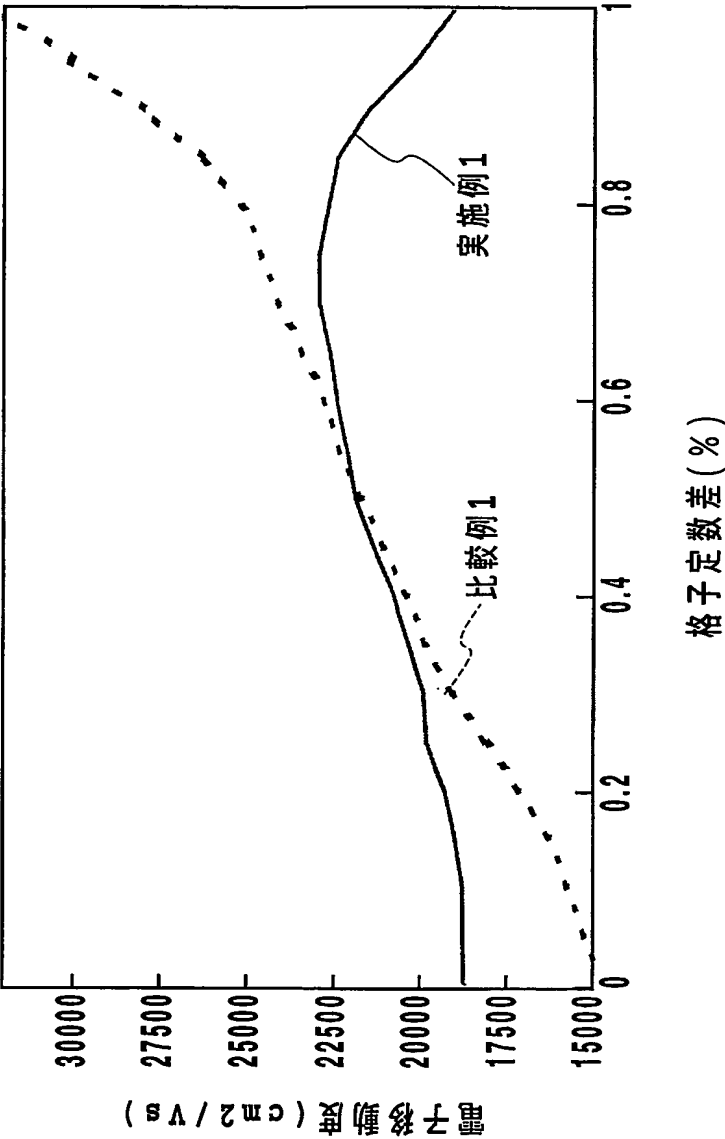


FIG.17

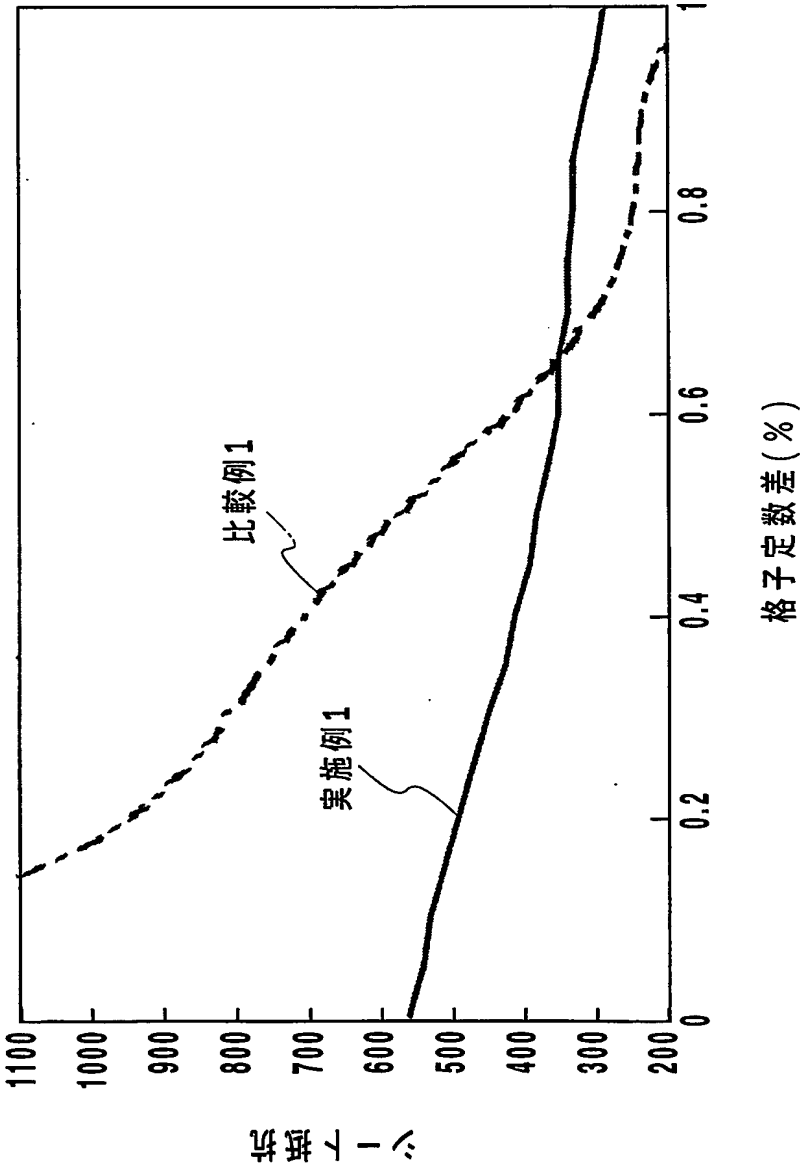


FIG.18

19/24

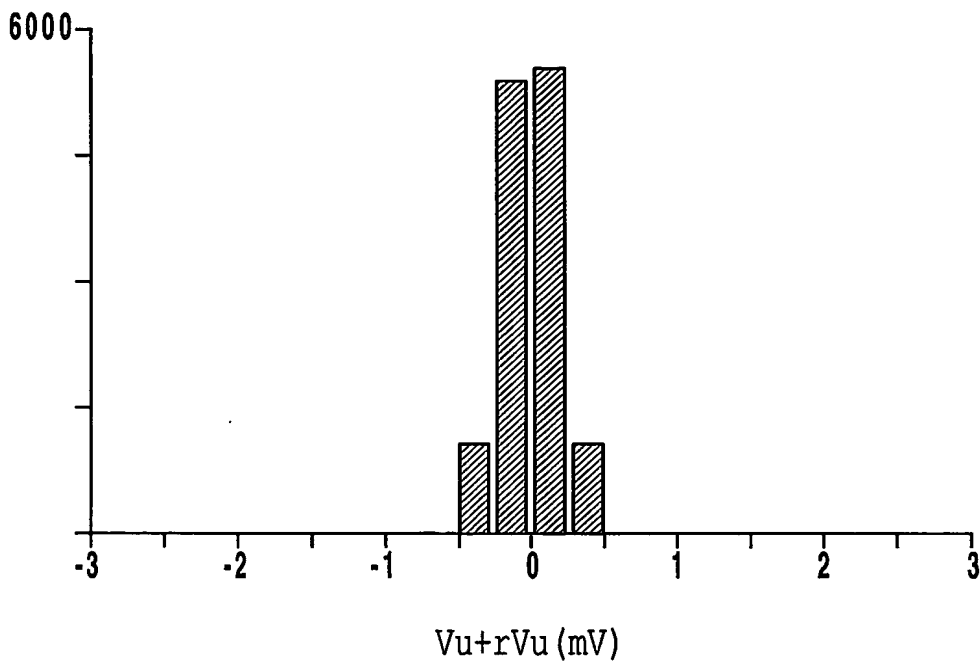


FIG.19A

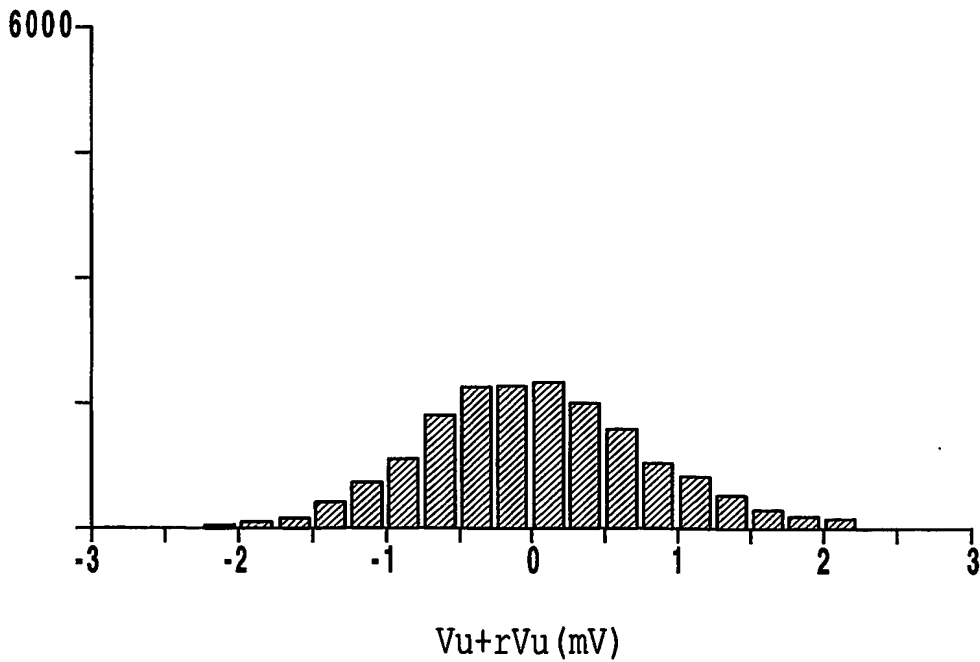


FIG.19B

20/24



FIG.20

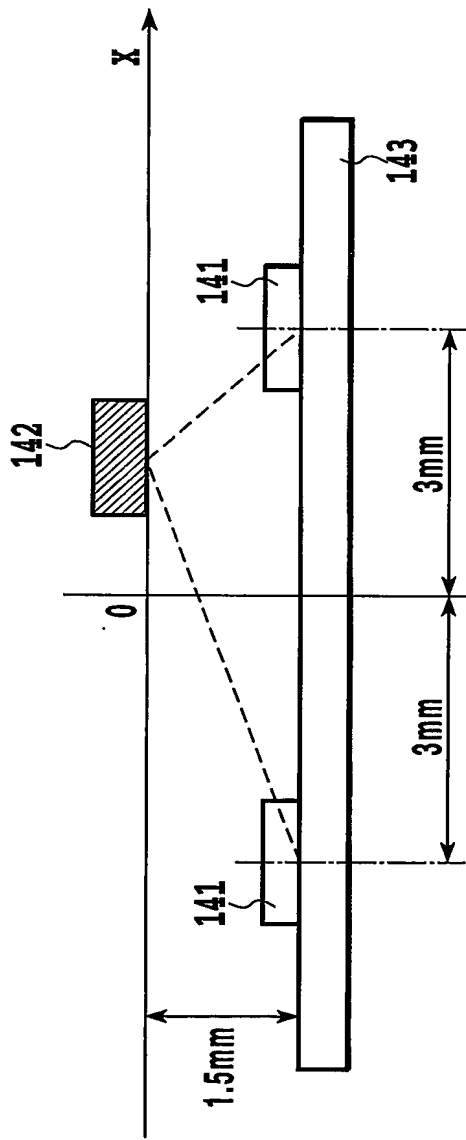


FIG.21

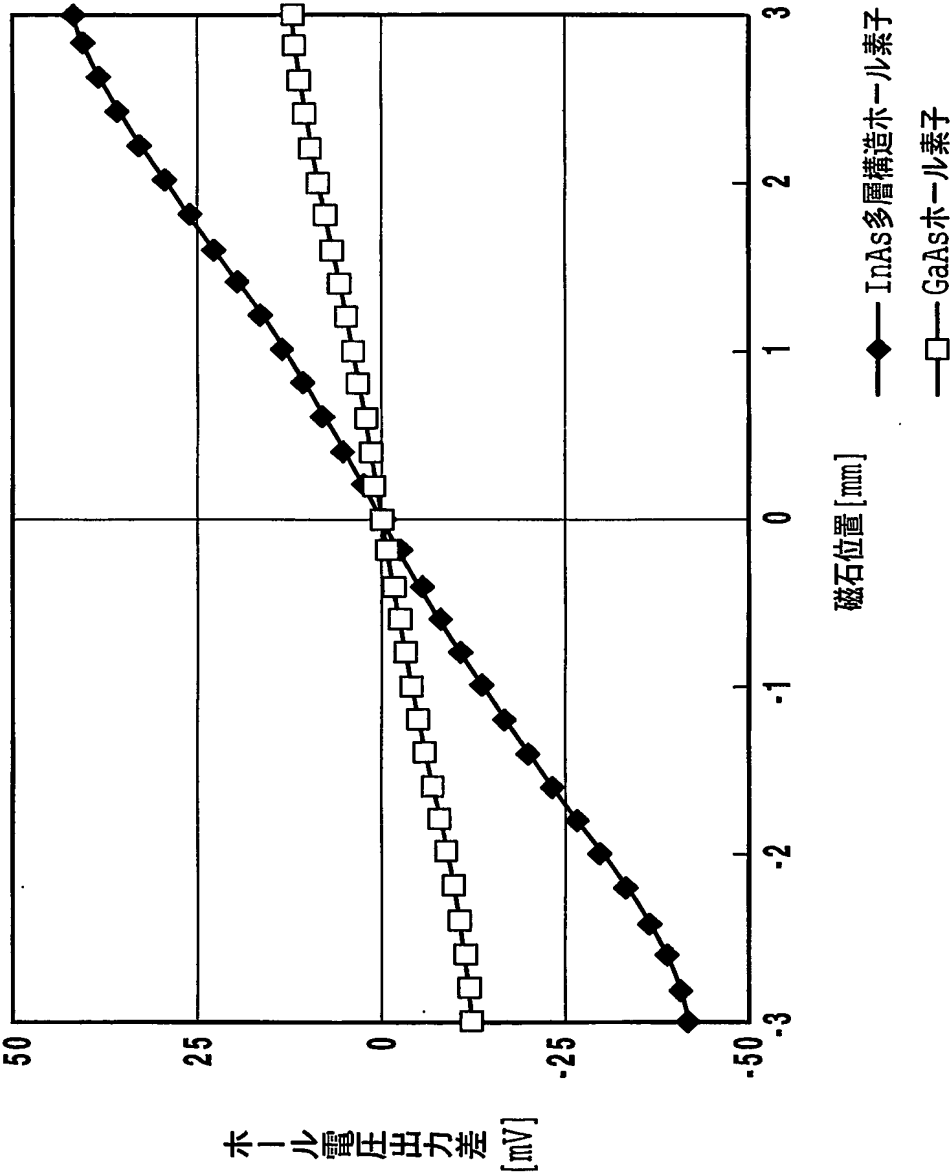


FIG.22

23/24

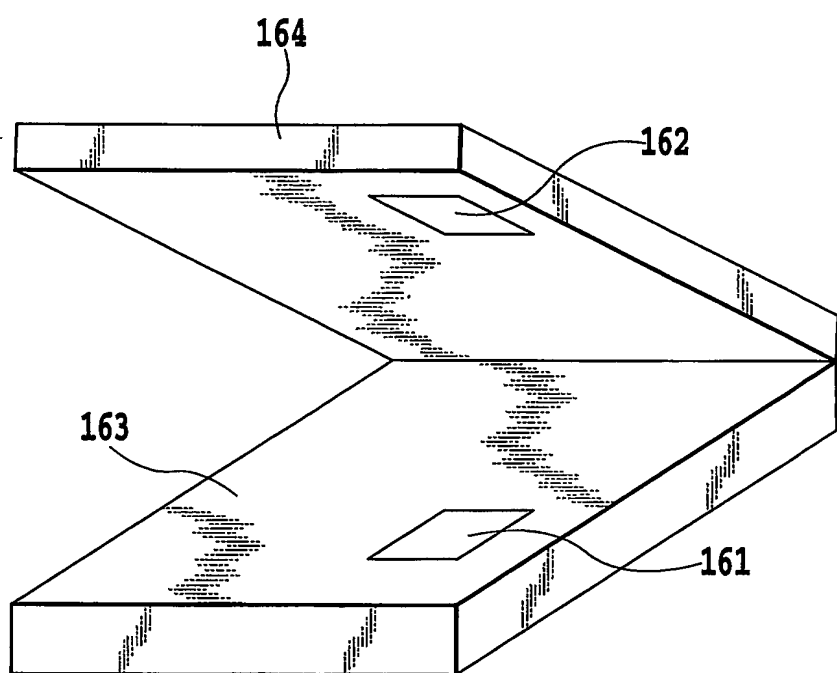
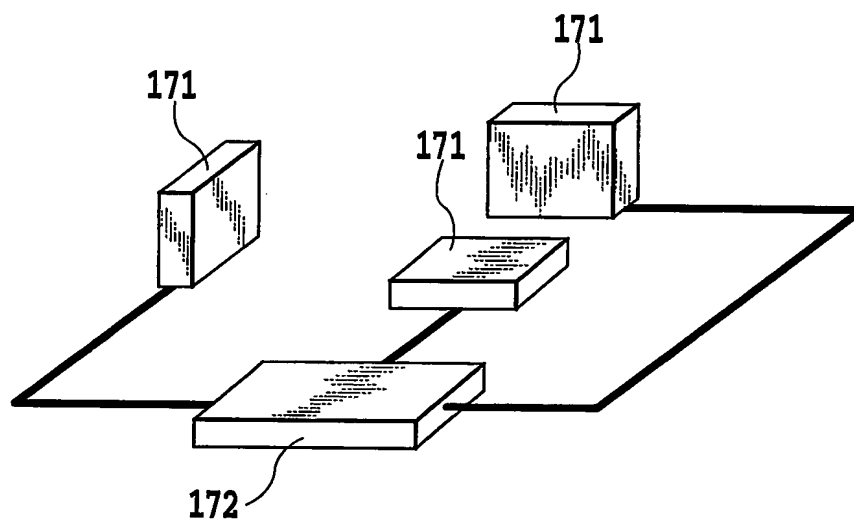


FIG.23

**FIG.24**

INTERNATIONAL SEARCH REPORT

International Application No.

PC/JP03/00291

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L43/06, H01L43/14, G01R33/07, H01L21/338, H01L29/778, H01L29/812

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L43/06, H01L43/14, G01R33/07, H01L21/338, H01L29/778, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 06-077556 A (ASAHI KASEI KOGYO KABUSHIKI KAISHA), 18 March, 1994 (18.03.94), Par. Nos. [0008] to [0026]; Figs. 1 to 4 & TW 234784 A	1, 3-5 2, 6, 7, 12
X Y	JP 09-116207 A (ASAHI KASEI KOGYO KABUSHIKI KAISHA), 02 May, 1997 (02.05.97), Par. Nos. [0013] to [0031]; Figs. 1, 2 (Family: none)	1, 3-5 2, 6, 7, 12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
16 April, 2003 (16.04.03)

Date of mailing of the international search report
30 April, 2003 (30.04.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International Application No.

JP03/00291

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 10-233539 A (ASAHI KASEI KOGYO KABUSHIKI KAISHA), 02 September, 1998 (02.09.98), Claims 1, 3, 8 Par. Nos. [0016] to [0027]; Fig. 2 (Family: none)	1, 3-5 2, 6, 7, 12
Y	US 5430310 A (ASAHI KASEI KOGYO KABUSHIKI KAISHA), 04 July, 1995 (04.07.95), Column 20, lines 9 to 19; Fig. 15A & EP 531550 A1 & JP 05-090301 A & KR 124131 B1 & WO 92/017908 A1	2, 12
Y A	JP 2001-352369 A (NEC Saitama, Ltd.), 21 December, 2001 (21.12.01), Full text & US 2002/0009192 A1 & CN 1330498 A	6, 7 16
A	US 2001/0055002 A1 (FUJITSU TAKAMISAWA CO., LTD.), 27 December, 2001 (27.12.01), Full text & JP 2002-007059 A & EP 1168234 A2	15
A	JP 05-297084 A (Toyota Motor Corp.), 12 November, 1993 (12.11.93), Full text (Family: none)	17
A	JP 07-283390 A (ASAHI KASEI KOGYO KABUSHIKI KAISHA), 27 October, 1995 (27.10.95), Full text (Family: none)	1-24
A	JP 2000-183424 A (Hitachi Cable, Ltd.), 30 June, 2000 (30.06.00), Full text (Family: none)	1-24

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L43/06, H01L43/14, G01R33/07, H01L21/338, H01L29/778, H01L29/812

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L43/06, H01L43/14, G01R33/07, H01L21/338, H01L29/778, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国実用新案登録公報 1996-2003年

日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 06-077556 A(旭化成工業株式会社)1994.03.18, 【0008】 - 【0026】, 図1-4 &TW 234784 A	1, 3-5 2, 6, 7, 12
X Y	JP 09-116207 A(旭化成工業株式会社)1997.05.02, 【0013】 - 【0031】, 図1, 2(ファミリーなし)	1, 3-5 2, 6, 7, 12
X Y	JP 10-233539 A(旭化成工業株式会社)1998.09.02, 請求項1, 3, 8, 【0016】 - 【0027】, 図2(ファミリーなし)	1, 3-5 2, 6, 7, 12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

16.04.03

国際調査報告の発送日

30.04.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

栗野 正明

4M

9353

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 5430310 A(ASAHI KASEI KOGYO KABUSHIKI KAISHA)1995. 07. 04, 第20欄第9-19行, 図15A &EP 531550 A1&JP 05-090301 A&KR 124131 B1&WO 92/017908 A1	2, 12
Y A	JP 2001-352369 A(埼玉日本電気株式会社)2001. 12. 21, 全文 &US 2002/0009192 A1&CN 1330498 A	6, 7 16
A	US 2001/0055002 A1(FUJITSU TAKAMISAWA COMPONENT LIMITED) 2001. 12. 27, 全文 &JP 2002-007059 A&EP 1168234 A2	15
A	JP 05-297084 A(トヨタ自動車株式会社)1993. 11. 12, 全文(ファミリーなし)	17
A	JP 07-283390 A(旭化成工業株式会社)1995. 10. 27, 全文(ファミリーなし)	1-24
A	JP 2000-183424 A(日立電線株式会社)2000. 06. 30, 全文(ファミリーなし)	1-24